MALÝ KANCELÁŘSKÝ VÝPOČETNÍ SYSTÉM



CONSUL

2715

PŘÍRUČKA PRO ÚDRŽBU A OPRAVY – 1. ČÁST

Malý kancelářský výpočetní systém

C O N S U L 2 7 1 5

Příručka pro údržbu a opravy

I. část

Číslo příručky 616.817

Anotace

Tato publikace popisuje údržbu a funkci zařízení CONSUL 2715 a speciální servisní přípravky.
Je určena pro servisní mechaniky
útvarů k.p. ZBROJOVKA BRNO,
servisních organizací
a uživatelů zařízení CONSUL 2715.
Její užívání předpokládá úspěšné zvládnutí kurzu servisních mechaniků zařízení C 2715 a vybavení příslušnými diagnostickými prostředky.

Související publikace

- Consul 2715 Instalační předpis, 616.816

1. vydání (leden 1988)

(C) Zbrojovka BRNO k.p.

Obsah

1. Základní část ..... 1 - 1
1.1 Úvod ..... 1 - 1
1.2 Bezpečnostní opatření ..... 1 - 1
1.3 Skladba zařízení C 2715 a jeho komponenty ..... 1 - 1
1.3.1 Modul obrazovky MO ..... 1 - 1
1.3.2 Modul elektroniky ME ..... 1 - 2
1.3.3 Modul klávesnice MK ..... 1 - 2
1.3.4 Modul tisku MT ..... 1 - 2
1.4 Demontáž stroje ..... 1 - 2
1.4.1 Demontáž modulu obrazovky MO ..... 1 - 2
1.4.2 Demontáž modulu elektroniky ME ..... 1 - 3
1.4.3 Demontáž modulu klávesnice MK ..... 1 - 3

2. Předpis pro údržbu ..... 2 - 1
2.1 Modul obrazovky ..... 2 - 1
2.2 Modul elektroniky ..... 2 - 1
2.3 Modul klávesnice ..... 2 - 1
2.4 Modul otisku ..... 2 - 1

3. Technický popis ..... 3 - 1
3.1 Úvod ..... 3 - 1
3.2 Určení ..... 3 - 1
3.3 Technické údaje ..... 3 - 1
3.3.1 Provozní podmínky ..... 3 - 1
3.4 Sestava zařízení ..... 3 - 2
3.5 Deska procesoru (obr. 3.3) (601.153) ..... 3 - 2
3.5.1 Softverová struktura procesoru, instrukční soubor ..... 3 - 2
3.5.2 Hardverová struktura procesoru, mikroinstrukční řízení ..... 3 - 16
3.6 Deska paměť univerzální (obr. 3.5) (601.187) ..... 3 - 20
3.7 Deska FD (obr. 3.10) (601.168) ..... 3 - 21
3.7.1 Obvody pro řízení FD ..... 3 - 21
3.7.2 Obvody pro styk s modemem ..... 3 - 23
3.7.3 Obvody pro řízení tiskáren ..... 3 - 25
3.7.4 Obvody pro styk s klávesnicí ..... 3 - 26
3.7.5 Obvody pro systémové použití ..... 3 - 26
3.7.6 Doplňkové obvody ..... 3 - 27
3.8 Deska displej - klávesnice (DK) (obr. 3.11) (601.167) ..... 3 - 27
3.8.1 Blok obsluhy displeje ..... 3 - 28
3.8.2 Blok obsluhy klávesnice ..... 3 - 29
3.8.3 Blok počítadla času ..... 3 - 30
3.9 Klávesnice obr. 3.12 (601.475) ..... 3 - 30
3.10 Napájecí část (obr. 3.13; 3.14, 3.15) (601.057; 601.164; 601.165; 601.183) ..... 3 - 30
3.10.1 Popis činnosti a rozložení jednotlivých bloků zdroje ..... 3 - 31
3.11 Zobrazovací jednotka (obr. 3.21) (601.226; 601.151) ..... 3 - 38
3.12 Záznamník na flexibilní disky ..... 3 - 39
3.13 Sériový tiskací mechanismus ..... 3 - 39

4. Speciální přípravky ..... 4 - 1
4.1 Úvod ..... 4 - 1
4.2 Deska štafle (obr. 4.3) (601.178) ..... 4 - 1
4.3 Deska parity (obr. 4.4) (601.179) ..... 4 - 1
4.4 Tester klávesnice, analogové zobrazovací jednotky, programovací přípravek pamětí MH 74S287, MH 74S571, K573RF5 (obr. 4.5) (601.671) ..... 4 - 3
4.5 Testovací konektor přenosu dat ..... 4 - 3
4.6 Deska SP s panelem (obr. 4.6) (601.169; 301.663) ..... 4 - 3

Tato stránka je prázdná úmyslně

1.1 Úvod

Tato publikace je určena pro servisní mechaniky uživatelů zařízení CONSUL 2715, servisních organizací a útvarů k.p. ZBROJOVKA BRNO. Její užívání předpokládá úspěšné zvládnutí kurzu servisních mechaniků zařízení C 2715 a vybavení příslušnými diagnostickými prostředky.

1.2 Bezpečnostní opatření

Pracovník provádějící opravy musí být zaškolen v rozsahu předepsaném normou ČSN 343100 a poučen o první pomoci při úrazech elektrickým proudem podle ČSN 343500.

Nebezpečí úrazu je v modulu elektroniky od zdrojové soustavy a v modulu obrazovky od zobrazovací jednotky.

Při zacházení se zobrazovací jednotkou je třeba dbát zvýšené bezpečnosti. Obrazovka obsahuje vysoké vakuum a může u ní dojít k implozi s vystřelením skla a tím ke zranění osob. Proto při zacházení s obrazovkou dbejte zvláštní opatrnosti. Osoby pracující s nezabalenými zobrazovacími jednotkami musí používat ochranný štít pro tvář a krk, ochranou zástěru a dlouhé ochranné rukavice. Poslední urychlovací elektroda obrazovky a vodivý vnější grafitový povlak tvoří kondenzátor, na kterém se udržuje elektrický náboj delší dobu i po vypnutí zařízení. Před prací s obrazovkou je nutno náboj vybít tak, že se poslední urychlovací elektroda a vnější grafitový povlak několikrát spojí přes odpor 10 kOhm.

Při práci s obrazovkou nutno dbát, aby obrazovka nebyla vystavena nárazům, případně jinému mechanickému namáhání. Sklo baňky je třeba chránit před poškrábáním.

U uživatelů se opravy vadných zobrazovacích jednotek neprovádějí.

Pracoviště, kde se manipuluje se zobrazovacími jednotkami, musí být zřetelně označené.

1.3 Skladba zařízení C 2715 a jeho komponenty

Zařízení CONSUL 2715 je určeno pro použití v centralizovaných i decentralizovaných výpočetních systémech jako stacionární pracoviště jednoho operátora v provedení "na stůl". Skládá se ze čtyř samostatných modulů, vzájemně propojených kabely s nezaměnitelnými konektory, tvořících kompaktní zařízení:

- modulu obrazovky
- modulu elektroniky
- modulu klávesnice
- modulu tisku.

Z funkčního hlediska můžeme zařízení rozdělit na bloky podle obr. 1.1 v příloze.

1.3.1 Modul obrazovky MD

Modul obrazovky (obr. 1.2 v příloze) se skládá z 1-3 záznamníků na flexibilní disk C 7114, nebo C 7115 analogové zobrazovací jednotky osazené speciální číslicovou obrazovkou s antireflexní úpravou stínítka a elektronikou, umístěnou na jednostranné desce plošného spoje, obsahující analogový řízený obrazový zesilovač a rozkladové obvody. Vzájemné propojení je provedeno jednoduchou vnitřní kabeláží zakončenou dvěma nezáměnnými připojovacími konektory.

Mechanická konstrukce je tvořena sešroubovaným samonosným rámem z jednoduchých lisovaných dílů. Kryt je tvořen plechovým horním a spodním dílem a čelní maskou z plastické hmoty.

1.3.2 Modul elektroniky ME

Modul elektroniky (obr. 1.3 v příloze) se skládá z vlastní řídicí elektroniky tvořené čtyřmi dvoustrannými deskami 300 x 300 mm s přímými konektory. První deska obsahuje interfejsové obvody pro připojení záznamníků na flexibilní disky, obvody pro připojení modemu a otisku. Druhá deska obsahuje řídicí procesor na bázi řezové stavebnice MH 3000. Instrukční soubor obsahuje 302 istrukcí. Může přímo adresovat paměť o kapacitě 1 MByt a řídit 512 8-bitových vstupů a 512 8-bitových výstupů. Třetí deska obsahuje operační a uživatelskou paměť o kapacitě až 512 KByt a pevnou paměť úvodních, testovacích a zaváděcích programů o kapacitě 16 KByt. Zabezpečení celé paměti je provedeno příčnou paritou. Čtvrtá deska obsahuje řadič analogové zobrazovací jednotky, vyrovnávací paměť celého snímku s generátorem znaků a interfejsové obvody klávesnice. Napájecí část je řešena jako samostatná zásuvná jednotka do roštu modulu elektroniky. Je řešena jako dvojčinný spínací měnič. Dodává všechna potřebná napětí zařízení. Napájecí část obsahuje kontrolní a ochranný blok, který kontroluje velikost jednotlivých napájecích hladin a odběrů. V případě jejich změny mimo toleranční pásmo se napájecí blok automaticky vypíná a vypnutí je signalizováno indikačním prvkem "PORUCHA". Součástí napájecí části je řízený síťový spínač pro zapínání otisku. Rošt modulu elektroniky je tvořen sešroubovaným samostatným rámem z jednoduchých lisovaných dílů. V zadní části roštu je umístěn ventilátor pro nucené chlazení, síťová zásuvka pro připojení otisku a konektory pro připojení periferií. Kryt je tvořen plechovým horním a spodním dílem a čelní maskou z plastické hmoty.

1.3.3 Modul klávesnice MK

Klávesnice (obr. 1.4 v příloze) se skládá z dvoudílného krytu z plastické hmoty, jedné dvouvrstvé desky plošného spoje osazené tlačítky a několika integrovanými obvody. Klávesnice má možnost volby čtyř registrů a 96 kláves. S modulem elektroniky je propojena vícepramenným kabelem s nezáměnným konektorem. Je vybavena akustickou indikací zpracování stisknuté klávesy a indikací pro případ upozornění obsluhy.

1.3.4 Modul tisku MT

Jako tisk je možno připojit sériový tiskací mechanismus řady C 211, C 212 nebo libovolný otisk s rozhraním "CENTRONICS". Doporučené otisky jsou C 211.5, C 212.1.

1.4 Demontáž stroje

Následující manipulaci lze provádět pouze se zařízením, jehož síťový přívod je vytažen ze zásuvky (obr. 1.5 v příloze). Před vlastní demontáží krytů provedeme rozpojení jednotlivých modulů. Modul obrazovky postavíme na levý bok vedle modulu elektroniky a rozpojíme konektory spojující tyto moduly.

1.4.1 Demontáž modulu obrazovky MO

a. Kruhovými otvory ø 9 mm ve středu horní a zadní části horního krytu povolíme šroubovákem šrouby M4 dvěma otáčkami vlevo.

b. Nadzvednutím zadní části horního krytu o cca 10 mm a tahem za kryt směrem dozadu sejmeme horní kryt.

c. Povolením šroubu M6 šroubovákem v horní části a odpojením konektoru v zadní části je možno jednotlivé paměti Consul 711.5, při zavřeném upínači disket, vysunutím směrem dopředu k čelnímu krytu, vyjmout z modulu.

d. Povolením čtyř šroubů M5 s válcovou hlavou dvěma otáčkami vlevo v základně zobrazovací jednotky a dvou šroubů M5 se šestihrannou hlavou na bočnicích z vnitřní strany zobrazovací jednotky je možno posunutím zobrazovací jednotky spolu s čelním krytem M0 dopředu asi o 20 mm a částečným sklopením dosáhnout dokonaláho přístupu k desce elektroniky analogové zobrazovací jednotky.

1.4.2 Demontáž modulu elektroniky ME

a. Otvorem obdélníkového tvaru na pravé straně horního krytu ME povolíme šroubovákem šroub M3 dvěma až třemi otáčkami vlevo. Větracími otvory na levé straně horního krytu , ve stejné vzdálenosti od krajů krytu jako na pravé straně, povolíme šroub M3 dvěma až třemi otáčkami vlevo. Tím uvolníme dva uzávěry umístěné uvnitř, z venku neviditelné, a můžeme sejmout čelní kryt.

b. Libovolnou desku elektroniky můžeme vyjmout pomocí výkyvných páček, umístěných na levém a pravém okraji desek, po uvolnění zajišťovací pružiny desek elektroniky.

c. Uvolněním dvou plochých pružin z čepů zdroje sejmeme panel a tím máme možnost měření všech odebíraných napětí na zdroji a výměny hlavních pojistek.

d. Úplné vyjmutí zdroje je možné po odpojení vodičů U3, U7, U9, N3, N7, N10, PE3, ST3, PE5, PE7 ze svorkovnice. Dále je nutno odšroubovat napájení +5 V (2 šrouby) a přívody ostatních hladin vytáhnout a odpojit přívod pro ovládání spínače.
POZOR! Při montáži zdroje nezaměnit přívody!

e. Horní a spodní kryt modulu elektroniky uvolníme odšroubováním šroubů M4, které u spodního krytu nesou také nožky zařízení.

1.4.3 Demontáž krytu klávesnice MK

a. Vyšroubují se čtyři šrouby M4 z levého a pravého okraje spodního krytu klávesnice.

Tato stránka je prázdná úmyslně

Přehled a časové intervaly běžné údržby prováděné obsluhou zařízení jsou uvedeny v návodu k obsluze.

Servisní technik tohoto zařízení provádí pouze jednou za rok vyčištění celého zařízení od prachu a nečistot.

2.1 Modul obrazovky

Sejmeme horní kryt modulu obrazovky, odpojíme konektory záznamníků na flexibilní disk a záznamníky vyjmeme ze stroje. U zobrazovací jednotky vyčistíme pomocí vysavače a štětce desku elektroniky a vychylovací jednotku. Záznamníky na flexibilní disk vyčistíme pomocí vysavače a štětce. Pracovní povrch magnetických hlav a interfejsové konektory očistíme tkaninou nepouštějící vlákna namočenou v izopropylalkoholu. Ostatní údržbu záznamníků provádíme podle návodu k údržbě C 7114 a C 7115.

2.2 Modul elektroniky

Sejmeme čelní kryt modulu elektroniky, vyjmeme desky elektroniky. K usnadnění zasouvání a vysouvání desek elektroniky jsou na desce pomocné páčky. Modul a desky vyčistíme pomocí vysavače a štětce. Konektory desek elektroniky očistíme tkaninou nepouštějící vlákna namočenou v izopropylalkoholu. Provede se kontrola připojení napájecího bloku, případně jeho vyčištění.

2.3 Modul klávesnice

Sejmeme kryty klávesnice, vyjmeme desku elektroniky s tlačítky. Desku vyčistíme pomocí vysavače a štětce.

2.4 Modul otisku

Rozsah a specifikace údržby jsou uvedeny v původní dokumentaci sériového tiskacího mechanismu.

Po opětném smontování prověříme stroj úplným úvodním testem stroje a testy všech skupin a periferií.

POZOR! Při práci s izopropylalkoholem je nutno dbát příslušných předpisů pro zacházení s hořlavinami.

Tato stránka je prázdná úmyslně

3.1 Úvod

Zařízení CONSUL 2715 je dalším typem zařízení v systému CONSUL 271, který je v k.p. Zbrojovka vyráběn od roku 1979. Zařízení tohoto systému umožňují svým vybavením vytvářet různé uživatelské konfigurace v centralizované i decentralizované přípravě a zpracování dat.

3.2 Určení

Zařízení CONSUL 2715 je určeno pro použití v centralizovaných i decentralizovaných výpočetních systémech zpracování hromadných dat. Jde o samostatné stacionární pracoviště pro jednoho operátora v provedení "na stůl". Je navrženo pro nepřetržitý provoz v normálních klimatických podmínkách. Operátor má k dispozici bezkontaktní klávesnici nového typu se stavitelným sklonem a polohou, s oddělenou deskadikou a polem funkčních kláves. Zobrazovací jednotku v organizaci 24 řádek à 80 znaků,1 stavový řádek, 6 základních typů zobrazovaných polí a jejich kombinací (normální, inverzní, podtržené, s oddělovači, zvýšený jas, blikání), úplnou českou abecedu, antireflexní potah obrazovky. Záznamníky na pružný disk CONSUL 7114 nebo 7115 o kapacitě 0,25 až 1,2 Mbyt podle typu diskety a způsobu záznamu. Řídicí jednotku s uživatelsky využitelnou operační pamětí minimálně 64 KByt, sériovou mozaikovou tiskárnu a sériový komunikační adapter. Zařízení umožňuje funkce sběru, změny a kontroly dat obvyklé při přepisu prvotních dokumentů na záznamové medium, v daném případě na pružný magnetický disk. Programové a periferní vybavení uživateli dovoluje současné, případně následné zpracování prvotních dokumentů s řadou logických a matematických úkonů; jako například fakturaci, skladovou evidenci,třídění zapsaných dat, formátový tisk dokumentů, přenos dat po telekomunikační síti ke vzdáleným terminálům či počítačům.

Programové vybavení je tvořeno základním operačním systémem BAL, interpretem a překladačem jazyka BAL, programovým systémem DE/RPG, operačním systémem PCL, programy pro třídění a slučování SORT-MERGE, programy pro komunikace, edice a textové aplikace a souborem aplikačních programů pro přímé nasazení při přípravě dat.

Zařízení je vybaveno výkonnou diagnostikou. Standardně jsou dodávány testy probíhající automaticky při každém zapnutí stroje a testy volitelné operátorem umožňující kontrolu správné funkce jednotlivých uzlů a periferních zařízení. Některé varianty stroje jsou dodávány i se servisními a diagnostickými přípravky, které umožňují vyškolenému techniku uživatele lokalizaci a opravu závad zařízení.

3.3 Technické údaje

3.3.1 Provozní podmínky

Mezní klimatické podmínky pro udržení provozuschopnosti:	teplota okolního vzduchu	10 - 35 °C
	vlhkost okolního vzduchu	40 - 80 %
	atmosferický tlak	84 - 107 kPa
Klimatické podmínky pro požadovanou spolehlivost:	teplota okolního vzduchu	20 ± 5 °C
	vlhkost okolního vzduchu	60 ± 15 %
	atmosferický tlak	84 - 107 kPa

Prašnost musí být menší než 0,75 mg/m3, přičemž velikost a počet prachových částic je udán normou STSEV 3158-81. Maximální přípustné vibrace základny zařízení jsou 0,1 mm při frekvenci 25 Hz. Provozní prostředí musí být prosto agresivních výparů. Magnetické disky musí být před použitím uloženy ve stejných klimatických podmínkách jako zařízení CONSUL 2715 minimálně po dobu čtyř hodin. Hladina rušení v napájecí síti nesmí převyšovat hodnoty uvedené v ČSN 342860 odpovídající mezi "2". Zařízení je napájeno z jednofázové elektrické sítě

o napětí 220 V +10 -15 %
a kmitočtu 48 - 62 Hz;
má příkon 0,35 VA bez tisku,
0,93 VA s tiskem.

Elektrická síť musí odpovídat ČSN 343100. Instalaci si provádí zákazník sám podle instalačního předpisu.

Hlučnost zařízení bez tisku je menší než 60 dB.
Hlučnost zařízení s tiskem je menší než 75 dB.
Rozměry zařízení 525 x 385 x 415 mm (š x h x v).
Rozměry klávesnice 520 x 232 x 34 mm (š x h x v).
Hmotnost zařízení se třemi disketovými jednotkami bez otisku je 41 kg.

Rozhraní s měničem signálu odpovídá doporučením V24 a V28 CCITT a realizace rozhraní ISO DIS 2110.2, přičemž měnič signálu (modem) není součástí dodávky zařízení.

Formát záznamu odpovídá normě ISO DIS 7065/2 pro MFM nebo ISO DIS 5654 pro DF. Návěští datových souborů a jejich struktura na disketách musí odpovídat normě ISO DIS 6863.

Záznam dat je v kódu DKOI-ČS dle ISO /TC97/SC2 N 1507, nebo KOI-ČS, nebo volitelný programem.

3.4 Sestava zařízení

Zařízení se skládá ze čtyř samostatných modulů, vzájemně propojených kabely s nezaměnitelnými konektory, tvořících kompaktní zařízení(obr. 3.1 v příloze).

Z funkčního hlediska můžeme jednotlivé moduly rozdělit na následující funkční bloky (obr. 3.2 v příloze).

3.5 Deska procesoru (obr. 3.3) (601.153)

Mikroprogramovatelný procesor je umístěn na dvoustranné desce rozměru 300 x 300 mm. Je sestaven z prvků řezové stavebnice MH 3000 obvodů SSI, MSI, LSI dostupných v zemích RVHP. Instrukční soubor obsahuje 302 instrukcí. Vychází z instrukčního souboru procesoru použitého v zařízeních CONSUL 2711-2714, doplněného o instrukce s bloky dat, speciálními řídicími instrukcemi periferií a instrukcemi pro obsluhu nových operačních registrů procesoru. Procesor může pracovat s přímo adresovanou pamětí o kapacitě 1 MByt a řídit 512 8-bitových vstupů a 512 8-bitových výstupů.

3.5.1 Softverová struktura procesoru, instrukční soubor

Instrukční soubor využívá následující osmibitové registry, které jsou slučovány do dvojic a trojic.

Operační registry:

R0, R1 } X
R2, R3 } Y
R4, R5 } Z
R6, R7 } W
R8, R9 } V

S -střadač
E -pomocný střadač

Pomocné registry :

YR5 } U — XR5 } T -adresa ukazatele sklípku pro úklidové
YR6 } U — XR6 } T -adresa ukazatele sklípku pro úklidové
YR7 } U — XR7 } T -adresa ukazatele sklípku pro úklidové
instrukce a operace

Podmínkové bity:

7. bit RMI 0=hardverové 1=softverové přerušení
6. bit PC3 přenos aritmetické operace nižšího řádu
5. bit PTO 1=totožno 0=netotožno
4. bit PVM 1=větší 0=menší
3. bit PP 1=sudá 0=lichá parita
2. bit 4B "1" nastavuje instrukce BIN, operace s násobičkou binární, přenos PC se nastavuje při aritmetické operaci po nižším řádu
1. bit IM 1=povoleno 0=zakázáno přerušení
0. bit PC přenos aritmetické operace obou řádů při 4B=0

ROM S(4 bity) stránka paměti } J -adresa instrukce
ROM A } I } J -adresa instrukce
ROM B } J -adresa instrukce

L (RAM L -4 bity) stránka paměti } H -adresa dat
A (RAM A) } K } H -adresa dat
B (RAM B) } K } H -adresa dat
M -obsah paměti na adrese LAB

Organizace sklípku při přerušení:

T adresa ukazatele sklípku: UKA XR5, UKA, UKB, -ukazatel
UKB sklípku, adresa prvního volného bytu v paměti
H ROM S } adresa instrukce pro provedení hardverového přerušení
H ROM A } adresa instrukce pro provedení hardverového přerušení
H ROM B } adresa instrukce pro provedení hardverového přerušení
S ROM S } adresa instrukce pro provedení softvérového přerušení
S ROM A } adresa instrukce pro provedení softvérového přerušení
S ROM B } adresa instrukce pro provedení softvérového přerušení

Jednotlivé registry se ukládají od adresy ukazatele a jeho hodnota je průběžně opravována. (XR5, UKA, UKB): S, E, PODM, R0, R1, R2, R3, R4, R5, R6, R7, R8, R9, YR5, YR6, YR7, RAM L, RAM A, RAM B, ROM S, ROM A, ROM B.
Po ukončení libovolné sklípkové operace je UKA, UKB nastaveno na první volný byt paměti.

Instrukční soubor:
byl popsán pomocí českých mnemotechnických výrazů a je uveden spolu se strojovým kódem v hexadecimálním tvaru.

Přesuny

Kromě blokové instrukce všechny začínají písmenem P. Ostatní pozice určují odkud a kam se přesun uskutečňuje. Poznámka určuje jak jsou nastavovány podmínkové bity.

```
P01 =20 /00=M,FF=TO/ -přesun obsahu registru R0 do ....
P02 =10 /00=M,FF=TO/
P03 =30 /00=M,FF=TO/
P04 =08 /00=M,FF=TO/
P05 =28 /00=M,FF=TO/
P0S =38 /00=M,FF=TO,PA/
P0M =80 -přesun obsahu registru R0 do paměti na adresu LK=H

P10 =04 /00=M,FF=TO/ -přesun obsahu registru R1 do ....
P12 =14 /00=M,FF=TO/
P13 =34 /00=M,FF=TO/
P14 =0C /00=M,FF=TO/
P15 =2C /00=M,FF=TO/
P1S =6C /00=M,FF=TO,PA/
P1M =7C -přesun obsahu registru R1 do paměti na adresu LK=H

P20 =02 /00=M,FF=TO/ -přesun obsahu registru R2 do ....
P21 =22 /00=M,FF=TO/
P23 =32 /00=M,FF=TO/
P24 =0A /00=M,FF=TO/
P25 =2A /00=M,FF=TO/
P2S =6A /00=M,FF=TO,PA/
P2M =7A -přesun obsahu registru R2 do paměti na adresu LK=H

P30 =06 /00=M,FF=TO/ -přesun obsahu registru R3 do ....
P31 =26 /00=M,FF=TO/
P32 =16 /00=M,FF=TO/
P34 =0E /00=M,FF=TO/
P35 =2E /00=M,FF=TO/
P3S =3E /00=M,FF=TO,PA/
P3M =4E -přesun obsahu registru R3 do paměti na adresu LK=H

P40 =01 /00=M,FF=TO/ -přesun obsahu registru R4 do ....
P41 =21 /00=M,FF=TO/
P42 =11 /00=M,FF=TO/
P43 =31 /00=M,FF=TO/
P45 =29 /00=M,FF=TO/
P4S =69 /00=M,FF=TO,PA/
P4M =79 -přesun obsahu registru R4 do paměti na adresu LK=H

P50 =05 /00=M,FF=TO/ -přesun obsahu registru R5 do ....
P51 =25 /00=M,FF=TO/
P52 =15 /00=M,FF=TO/
P53 =35 /00=M,FF=TO/
P54 =0D /00=M,FF=TO/
P5S =6D /00=M,FF=TO,PA/
P5M =7D -přesun obsahu registru R5 do paměti na adresu LK=H
P5L =9E,0E /L=R5 BIT 3210/ -přesun nižších čtyř bitů R5 do L
```

```
PS0 =E0 /00=M,FF=T0/ -přesun obsahu střadače S do ....
PS1 =24 /00=M,FF=T0/
PS2 =12 /00=M,FF=T0/
PS3 =36 /00=M,FF=T0/
PS4 =09 /00=M,FF=T0/
PS5 =2D /00=M,FF=T0/
PSM =E6 /00=M,FF=T0/ -přesun obsahu střadače S do paměti na adresu LK=H

PM0 =03 -přesun obsahu paměti M na adrese LK=H do střadače nebo registru
PM1 =23
PM2 =13
PM3 =33
PM4 =0B
PM5 =2B
PMS =5B /PA =S

PL5 =9E,0F /R5 =0,L -dvouslovní instrukce pro přesun obsahu registru L do registru R5, bity re-
                     gistru R5 (7,6,5,4), se nastaví na "0".

PIK =A5 -přesun obsahu adresního registru instrukce ROM SAB do adresního registru datové paměti RAM LAB

PXV =95 -přesun obsahů dvojice registrů

PSP =AF,B1,B2 /K=B1B2/     -tříslovní instrukce při které se registr K nastaví konstantami B1
PPS =8F,B1,B2 /PA=S,K=B1B2  B2 a provede se příslušný přesun obsahů S do paměti na adrese LK
                            nebo paměti na adrese LK do S.

PSB =A4,B1,B2 /K=K/      -tříslovní instrukce operací s pamětí adresovanou konstantami B1B2,
PBS =6B,B1,B2 /PA=S,K=K/ S do paměti na adrese LB1B2 nebo paměti na adrese LB1B2 do S, obsah
                         registru K se nemění.

PMV =9D,00 /RAMLAB=R8,RAM(LAB+1)=R9,K=K -dvouslovní instrukce pro naplnění registrů R8 R9 z pa-
                                         měti na adrese LAB a LAB+1, obsah registru K se nemění

BLP =9D,05 /R3+1,RAMLAB-R567,R3=FF,K=K+R3+1,R67=R67+R3+1/ -dvouslovní instrukce pro přesun R3+1
                                                           bitu do paměti adresy LAB na adresu
                                                           paměti R5 R6 R7
```

Výměny

Kromě blokové instrukce začínají písmenem V pro výměnu jednoho registru, nebo dvojic registrů a písmenem W pro výměnu trojic registrů. Ostatní pozice určují co a s čím se vyměňuje. Poznámka určuje jak jsou nastavovány podmínkové bity.

```
VS0 =C0 /00=M,FF=T0,PA -vyměň obsah střadače S s ....
VS1 =C4 /00=M,FF=T0,PA
VS2 =C2 /00=M,FF=T0,PA
VS3 =C6 /00=M,FF=T0,PA
VS4 =C1 /00=M,FF=T0,PA
VS5 =C5 /00=M,FF=T0,PA
VS6 =C3 /00=M,FF=T0,PA
VS7 =C7 /00=M,FF=T0,PA
VS8 =8D /00=M,FF=T0,PA
VS9 =92 /00=M,FF=T0,PA
VSE =E4
VSM =7B /PA=S -vyměň obsah střadače S s obsahem paměti M na adrese LAB
```

```
VA0 =E8 -vyměň obsah registru A s ....
VA1 =EC
VA2 =EA
VA3 =EE
VA4 =A9
VA5 =ED

VB0 =F8 -vyměň obsah registru B s ....
VB1 =BC
VB2 =FA
VB3 =BE
VB4 =F9
VB5 =FD

VKX =FC -vyměň obsah dvojic registrů
VKY =FE
VKZ =F9
VKV =90
VKW =EB
VVZ =94
VVW =9A
VIW =E3

WIW =93 /ROMSAB,R567,R5=0S -výměna trojic registrů
WUW =50 /YR567,R567/
WKW =9B /RAMLAB,R567,R5=0L
WTW =9E,00 /XR567,R367/ -nastavuje IM=0 (interupt zakázán)

BLV =9D,06 /R3+1,RAMLAB,R567,R3=FF,K=K+R3+1,R67=R67+R3+1 -dvouslovní instrukce pro výměnu R3+1
                                                            bytů paměti od adresy LAB a R5 R5 R7
```

Aritmetické operace

Začínají písmenem A
Druhé písmeno značí druh operace: P -aritmetický součet bez přenosu(plus)
S -aritmetický součet s přenosem(sečti)
M -aritmetický rozdíl bez přenosu(minus)
O -aritmetický rozdíl s přenosem(odečti)
N -aritmetický součin nižších řádků binárně nebo dekadicky podle stavu podmínky 4B

Třetí písmeno udává operační registr. Operace se provádí mezi střadačem a určeným registrem, osahem paměti na adrese LAB, nebo konstantou B1. Výsledek se ukládá do střadače. Poznámka určuje jak jsou nastavovány podmínkové bity.

```
AP0 =78 /CI=1=V,FF=T0,C3,PA/ -aritmetický součet bez přenosu, vnitřním přenosem "CI" je ovliv-
AP1 =44 /CI=1=V,FF=T0,C3,PA/  ňován podmínkový bit "Větší"
AP2 =42 /CI=1=V,FF=T0,C3,PA/
AP3 =46 /CI=1=V,FF=T0,C3,PA/
AP4 =41 /CI=1=V,FF=T0,C3,PA/
AP5 =45 /CI=1=V,FF=T0,C3,PA/
APM =43 /CI=1=V,FF=T0,C3,PA/
APB =67,B1 /CI=1=V,FF=T0,C3,PA/ -dvouslovní instrukce pro aritmetický rozdíl bez přenosu s kon-
                                 stantou B1
```

```
AM0 =60 /CI=1=V,FF=T0,C3,PA/  -aritmetický rozdíl bez přenosu, vnitřním přenosem "CI" je ovliv-
AM1 =64 /CI=1=V,FF=T0,C3,PA/  ňován podmínkový bit "Větší"
AM2 =62 /CI=1=V,FF=T0,C3,PA/
AM3 =66 /CI=1=V,FF=T0,C3,PA/
AM4 =61 /CI=1=V,FF=T0,C3,PA/
AM5 =65 /CI=1=V,FF=T0,C3,PA/
AMM =63 /CI=1=V,FF=T0,C3,PA/
AMB =3F,B1 /CI=1=V,FF=T0,C3,PA/ -dvouslovní instrukce pro aritmetický rozdíl bez přenosu s kon-
                                 stantou B1

AS0 =18 /C,C3,PA/ -aritmetický součet s přenosem
AS1 =54 /C,C3,PA/
AS2 =52 /C,C3,PA/
AS3 =56 /C,C3,PA/
AS4 =51 /C,C3,PA/
AS5 =55 /C,C3,PA/
ASM =53 /C,C3,PA/
ASB =77,B1 /C,C3,PA/ -dvouslovní instrukce pro aritmetický součet s přenosem s konstantou B1

AO0 =70 /C,C3,PA/ -aritmetický rozdíl s přenosem
AO1 =74 /C,C3,PA/
AO2 =72 /C,C3,PA/
AO3 =76 /C,C3,PA/
AO4 =71 /C,C3,PA/
AO5 =75 /C,C3,PA/
AOM =73 /C,C3,PA/
AOB =5F,B1 /C,C3,PA/ -dvouslovní instrukce pro aritmetický rozdíl s přenosem s konstantou B1

AN0 =B0 -aritmetický součin nižších řádů (bitů 3210)
AN1 =B4
AN2 =B2
AN3 =B6
AN4 =B1
AN5 =B5
ANM =B3
ANB =B7,B1 -dvouslovní instrukce pro součin nižších řádů (bitů 3210) s konstantou B1

Průběh aritmetického součinu nižších řádů závisí na podmínkovém bitu 4B:
 4B =1 -nastavuje instrukce BIN, násobení se provádí v binární formě
 4B =0 -nastavuje instrukce NAV a PRE, násobení se provádí v dekadické formě
```

Modifikace adresního registru paměti dat

Začínají písmenem K, druhé písmeno značí druh operace, třetí písmeno udává operační registr.

```
KP3 =8A /K+R3/ -zvětšení obsahu adresního registru K o registr, konstantu nebo dvojici registrů
KP5 =A2 /K+R5/
KPB =8B,B1 /K+B1/
KPZ =A1 /K+R45/

KM3 =8E /K-R3/ -zmenšení obsahu adresního registru K o registr nebo konstantu
KM5 =A6 /K-R5/
KMB =8C,B1 /K-B1/

KZP =89 /K+[RAM(Z-1,Z)]/ -zvětšení obsahu adresního registru K o dvoubytové slovo vytvořené z
                          obsahů paměti na adrese "LZ-1"(vyšší slovo) a "LZ"(nižší slovo), re-
                          gistr "Z" je nezměněn.
```

Rotace střadačů

Začínají písmenem R, druhé písmeno značí směr rotace: L -doleva
P -doprava

RPP =AD /S0-S7,S0-C/ -rotace bitů střadače o jednu pozici doprava s plněním přenosového bitu

RPE =E5 /S0-E7,E0-S7,S0-C/ -rotace bitů střadače a pomocného střadače o jednu pozici doprava s plněním přenosového bitu

RPC =F4 /S0-C-S7/ -rotace bitů střadače a přenosového bitu o jednu pozici doprava

RLP =AB /S7-S0,S7-C/ -rotace bitů střadače o jednu pozici doleva s plněním přenosového bitu

RLE =F2 /S7-E0,E7-S0,S7-C/ -rotace bitů střadače a pomocného střadače o jednu pozici doleva s plněním přenosového bitu

RLS =AA /S7-S0/ -rotace bitů střadače o jednu pozici doleva

RLC =E2 /S7-C-S0/ -rotace bitů střadače a pomocného střadače o jednu pozici doleva

R4L =82 /S7654-E3210-E7654-S/ -rotace bitů střadače a pomocného střadače o čtyři pozice doleva

Nulování

Začínají dvojicí písmen NU, třetí písmeno určuje co se nuluje.

NUS =B9 -nulování střadače
NUE =D3 -nulování pomocného střadače
NUA =E1 -nulování registru "A"
NUB =F5 -nulování registru "B"
NUC =BB -nulování přenosového bitu

Ukládání konstant

Začínají písmenem B.

B10 =07,B1 -dvouslovní instrukce pro naplnění registru ..... nebo střadače konstantou B1
B11 =27,B1
B12 =17,B1
B13 =37,B1
B14 =0F,B1
B15 =2F,B1
B1B =BF,B1
B1A =4F,B1
B1S =9F,B1

B1L =9F,04,B1 /3210B1/ -třislovní instrukce pro naplnění registru "L" nižšími čtyřmi bity konstanty B1

B1M =F7,B1 /K+1/ -zvýšení ohsahu registru "K" o +1 a zápis konstanty B1 do paměti na tuto novou adresu

```
BBX =47,B1,B2 -tříslovní instrukce pro naplnění dvojice registrů ..... dvojicí konstant B1 B2
BBY =57,B1,B2
BBZ =A3,B1,B2
BBW =1F,B1,B2
BBK =CF,B1,B2

BBI =87,B1,B2 -tříslovní instrukce pro naplnění dvojice adresních registrů "I"(ROM A, ROM B)
               dvojicí konstant B1 B2. Jedná se o nepodmíněný skok v programu v rámci stránky.

BII =88,B1,B2,B3, /ROMSAB/ -čtyřslovní instrukce pro naplnění trojice adresních registrů "J"
                            (ROM S,ROM A,ROM B) trojicí konstant B1,B1,B3. Jedná se o nepodmí-
                            něný skok v programu v rámci celé paměti.

BWW =9C,B1,B2,B3, /R567/ -čtyřslovní instrukce pro naplnění trojice registrů R5,R6,R7 trojicí
                          konstant B1,B2,B3.

B7B =9D,0C,B1 /RAMB=7RAMB 6-0B1/ -tříslovní instrukce pro modifikaci adresního registru B. 7.bit
                                  registru B zůstává původní, 6-0 bit registru B je naplněn bity
                                  6-0 konstanty B1.

BVK =9D,0B,B1 /L=R9,RAMA=R8,RAMB=7B R9+B1 -tříslovní instrukce pro modifikaci adresního regis-
                                           tru "H" (RAM L,RAM A,RAM B). Registr "L" je naplněn
                                           nižšími čtyřmi bity registru R9, registr "A" je na-
                                           plněn registrem R8, registr "B" je naplněn konstan-
                                           B1 zvětšenou o konstantu, která má na sedmém bitu
                                           sedmý bit R9 a na bitech 6-0 samé "0".

BLK =9E,01 /S,R3+1,R3=FF,K=K+R3+1/ -dvouslovní instrukce pro uložení R3+1 obsahů střadače S od
                                    adresy LAB
```

Jedničkové operace

Začínají písmenem J, druhé písmeno udává typ operace: P -přičtení jedničky
M -odečtení jedničky,
třetí písmeno udává registr se kterým se operace provádí, podmínka určuje nastavování podmínkových bitů.

```
JP0 =D0 /CI=1=V,FF=T0/ -zvýšení obsahu registru nebo obsahu paměti na adrese LAB o +1
JP1 =D4 /CI=1=V,FF=T0/
JP2 =D2 /CI=1=V,FF=T0/
JP3 =D6 /CI=1=V,FF=T0/
JP4 =D1 /CI=1=V,FF=T0/
JP5 =D5 /CI=1=V,FF=T0/
JPM =F3 /CI=1=V,FF=T0/
JPA =CB
JPK =85

JM0 =C8 /CI=1=V,FF=T0/ -snížení obsahu registru nebo obsahu paměti na adrese LAB o -1
JM1 =CC /CI=1=V,FF=T0/
JM2 =CA /CI=1=V,FF=T0/
JM3 =CE /CI=1=V,FF=T0/
JM4 =C9 /CI=1=V,FF=T0/
JM5 =CD /CI=1=V,FF=T0/
JMM =FB /CI=1=V,FF=T0/
JMA =89
JMK =84
```

Logické operace

Začínají většinou písmenem L, druhé písmeno značí druh operace: A -logický součin
O -logický součet
M -logický exklusivní součet
N -logická negace
S -srovnání,

třetí písmeno udává operační registr. Operace se provádí mezi střadačem a určeným registrem, obsahem paměti na adrese LAB, nebo konstantou B1. Výsledek se ukládá do střadače. Poznámka určuje jak jsou nastavovány podmínkové bity. U logické operace S -srovnání jsou nastaveny pouze podmínkové bity.

```
LA0 =48 /PA,00=M,FF=T0/ -operace logického součinu
LA1 =1C /PA,00=M,FF=T0/
LA2 =1A /PA,00=M,FF=T0/
LA3 =1E /PA,00=M,FF=T0/
LA4 =39 /PA,00=M,FF=T0/
LA5 =4D /PA,00=M,FF=T0/
LAM =1B /PA,00=M,FF=T0/
LAB =6F,B1 /PA,00=M,FF=T0/

LO0 =68 /PA,00=M,FF=T0/ -operace logického součtu
LO1 =4C /PA,00=M,FF=T0/
LO2 =4A /PA,00=M,FF=T0/
LO3 =6E /PA,00=M,FF=T0/
LO4 =49 /PA,00=M,FF=T0/
LO5 =3D /PA,00=M,FF=T0/
LOM =4B /PA,00=M,FF=T0/
LOB =7F,B1 /PA,00=M,FF=T0/

LM0 =50 /PA,00=M,FF=T0/ -operace logického exklusivního součtu
LM1 =3C /PA,00=M,FF=T0/
LM2 =3A /PA,00=M,FF=T0/
LM3 =5E /PA,00=M,FF=T0/
LM4 =19 /PA,00=M,FF=T0/
LM5 =1D /PA,00=M,FF=T0/
LMM =3B /PA,00=M,FF=T0/
LMB =7F,B1 /PA,00=M,FF=T0/

LNS =81 /PA,00=M,FF=T0/ -logická negace obsahu střadače

LNC =F0 -logická negace obsahu podmínka přenosového bitu

LS0 =40 /VM,T0T,T0=M/ -operace srovnání obsahu střadače s obsahem registru paměti nebo konstan-
LS1 =5C /VM,T0T,T0=M/  tou B1
LS2 =5A /VM,T0T,T0=M/
LS3 =7E /VM,T0T,T0=M/
LS5 =5D /VM,T0T,T0=M/
LSM =83 /VM,T0T,T0=M,PA=M/
LSB =A7,B1 /VM,T0T,T0=M/

BLS =9D,07 /R3+1,RAMLAB,R567,VM-T0T=POSR,K=K+R3+1,R67=R+R3+1,KONEC:R3=FF:T0T=NT0 K,R67=NT0T+1/
-dvouslovní instrukce pro srovnání R3+1 bytů paměti od adres "LAB","R5 R6 R7". Srovnání je
 ukončeno při kontrole všech bytů -podmínka PT0=1, nebo při neshodě srovnávaných bytů paměti -
 podmínka PT0=0
```

SON =9D,21,B1,B2 /[RAM(R9,R8,7B. R9+B1)] OR B2=[RAM(R9,R8,7B. R9+B1)],K=K/
-čtyřslovní instrukce pro logický součet konstanty B2 s obsahem paměti na adrese udané nejnižšími čtyřmi bity R9 -adresa stránky, R8 -vyšší řád adresy a nejnižší řád adresy tvořený konstantou B1 zvětšenou o konstantu, která má na sedmém bitu sedmý bit R9 a na bitech 6-0 samé "0". Výsledek logického součtu je uložen opět na tuto adresu. Obsah registrů LAB zůstává nezměněn.

SOF =9D,01,B1,B2 /[RAM(R9,R8,7B. R9+B1)] AND NEGB2=[RAM(R9,R9,7B. R9+B1)],K=K
-čtyřslovní instrukce pro logický součin negace konstanty B2 s obsahem paměti na adrese udané nejnižšími čtyřmi bity R9 -adresa stránky, R8 -vyšší řád adresy a nejnižší řád adresy tvořený konstantou B1 zvětšenou o konstantu, která má na sedmém bitu sedmý bit R9 a na bitech 6-0 samé "0". Výsledek logického součinu je uložen opět na tuto adresu. Obsah registrů LAB zůstává nezměněn.

Podmíněné skokové operace

Začínají většinou písmenem S, ostatní písmena udávají sledovanou podmínku a její hodnotu. Je-li podmínka splněna je registr adresy instrukce zvětšen o +1 a je vykonávána následující instrukce. Není-li podmínka splněna je registr adresy instrukce zvětšen o +5 a následující čtyři byty paměti instrukcí jsou přeskočeny.

Skok podle obsahu střadače

SS0 =91 /S=00=+1/ -je-li střadač nulový S=00 adresní registr instrukce bude zvětšen o +1, je-li střadač nenulový S≠00 adresní registr instrukce bude zvětšen o +5.

SSN =BA /S=00=+5/ -je-li střadač nenulový S≠00 adresní registr instrukce bude zvětšen o +1, je-li střadač nulový S=00 adresní registr instrukce bude zvětšen o +5.

Skok podle obsahu podmínkového bitu přenosu

SC0 =D9 /C=0=+1/ -je-li podmínkový bit PC=0 adresní registr instrukce bude zvětšen o +1, je-li podmínkový bit nenulový PC≠0 adresní registr instrukce bude zvětšen o +5.

SC1 =D8 /C=1=+1/ -je-li podmínkový bit nenulový PC=1 adresní registr bude zvětšen o +1, je-li podmínkový bit nulový PC=0 adresní registr instrukce bude zvětšen o +5.

Skok podle obsahu podmínkového bitu parita

SPS =DA /S=+1/ -je-li podmínkový bit PP=1 (sudá) adresní registr instrukce bude zvětšen o +1, je-li podmínkový bit PP=0 (lichá) adresní registr instrukce bude zvětšen o +5.

SPL =DB /L=+1/ -je-li podmínkový bit PP=0 (lichá) adresní registr instrukce bude zvětšen o +1; je-li podmínkový bit nenulový PP=1 (sudá) adresní registr instrukce bude zvětšen o +5

Skok podle obsahu podmínkového bitu totožno

STO =DC /TO=+1/ -je-li podmínkový bit PTO=0 (totožno) adresní registr instrukce bude zvětšen o +1, je-li podmínkový bit nulový PTO=0 (netotožno) adresní registr instrukce bude zvětšen o +5

SNE =DD /NTO=+1/ -je-li podmínkový bit PTO=0 (netotožno) adresní registr instrukce bude zvětšen o +1, je-li podmínkový bit nenulový PTO=1 (totožno) adresní registr instrukce bude zvětšen o +5

Skok podle obsahu podmínkového bitu větší-menší

SVE =DE /V=+1/ -je-li podmínkový bit PVM=1 (větší) adresní registr instrukce bude zvětšen o +1, je-li podmínkový bit nulový PVM=0 (menší) adresní registr instrukce bude zvětšen o +5

SME =DF /M=+1/ -je-li podmínkový bit PVM=0 (menší) adresní registr instrukce bude zvětšen o +1, je-li podmínkový bit nenulový PVM=1 (větší) adresní registr instrukce bude zvětšen o +5

Skok podle modifikovaného obsahu střadače a paměti

SMO =98,B1,B2, /S AND B1 M2 B2=00=+1/ -tříslovní instrukce pro skok podle modifikovaného obsahu střadače "S". Modifikace spočívá v logickém součinu s konstantou B1 a exklusivního součtu výsledku této operace s konstantou B2. Je-li výsledek nulový adresní registr instrukce bude zvětšen o +1, je-li výsledek nenulový adresní registr instrukce bude zvětšen o +5. Obsah střadače se nezmění.

SMN =99,B1,B2, /S AND B1 M2 B2=00=+5/ -tříslovní instrukce pro skok podle modifikovaného obsahu střadače "S". Modifikace spočívá v logickém součinu s konstantou B1 a exklusivního součtu této operace s konstantou B2. Je-li výsledek nenulový adresní registr instrukce bude zvětšen o +1, je-li výsledek nulový adresní registr bude zvětšen o +5. Obsah střadače se nezmění.

SNZ =9D,0A,B1,B2 /[RAM(L,B1,B2)]-1=[RAM(L,B1,B1),K=K,CI=1=+1/
-čtyřslovní instrukce pro skok podle stavu počítadla v paměti po jeho opravě o -1. Od obsahu paměti na adrese (L,B1,B2) se odečte -1. Není-li při této operaci zápůjčka (není odečítána -1 od stavu 00) adresní registr instrukce bude zvětšen o +1. Dojde-li při této operaci k zápůjčce (-1 je odčítáno od stavu 00, výsledek je FF) adresní registr instrukce bude zvětšen o +5. Registr "K" zůstane nezměněn.

SBN =9D,11,B1,B2 /[RAM(R9,R8,7B. R9+B1)] AND B2=00=+5,K=K/
-čtyřslovní instrukce pro skok podle negace obsahu paměti na adrese udané nejnižšími čtyřmi bity R9 -adresa stránky, R8 -vyšší řád a nejnižší řád adresy tvořený konstantou B1 zvětšenou o konstantu, která má na sedmém bitu sedmý bit R9 a na bitech 6-0 samé "0", který je modifikován logickým součinem s konstantou B2. Není-li výsledek této operace nulový je adresní registr instrukce zvětšen o +1, je-li výsledek nulový je adresní registr instrukce zvětšen o +5.

SBF =9D,31,B1,B2 /NEG[RAM(R9,R8,7B R9+B1)] AND B2=00=+5,K=K/
-čtyřslovní instrukce pro skok podle negace obsahu paměti na adrese udané nejnižšími čtyřmi bity R9 -adresa stránky, R8 -vyšší řád a nejnižší řád adresy tvořený konstantou B1 zvětšenou o konstantu, která má na sedmém bitu sedmý bit R9 a na bitech 6-0 samé "0", který je modifikován logickým součinem s konstantou B2. Není-li výsledek této operace nulový je adresní registr instrukce zvětšen o +1, je-li výsledek této operace nulový je adresní registr zvětšen o +5.

Speciální a systémové operace

NOP =FF -prázdná instrukce

NAV =00 /RUSI BIN/ -nastavuje podmínkový bit 4B=0

BIN =B8 /4BIT NASTAV C=C3/ -nastavuje podmínkový bit 4B=1

DEK =D7 /DEK NORM S/ -provádí dekadickou normalizaci obsahu střadače "S" při aritmetických operacích s binárně kódovanými dekadickými čísly. Tato instrukce musí následovat bezprostředně za normalizovanou aritmetickou operací.

INZ =AE /ZAKAZ HARD INT/ -nastavuje podmínkový bit IM=0, který zakazuje provedení hardverového přerušení.

INP =AC /POVOLENI HARD INT/ -nastavuje odmínkový bit IM=1, který povoluje provedení hardverového přerušení.

HLT =A8 /ZASTAVENI/ -zastavuje činnost procesoru, nevykonává další instrukce. Uvolnění do normálního provozu se provede řídicím signálem procesoru.

PRE =96 /UKLID,NASTAVUJE INZ,RUSI,BIN/ -provede uložení obsahu všech registrů a podmínkových bitů do sklípku v paměti. Po ukončení této instrukce je nastaven podmínkový IM=0 (nepovolené přerušení) a 4B=0 adresní registr instrukce J (ROM S,ROM A,ROM B) je nastaven na adresu S ROM S, S ROM A, S ROM B udanou ve sklípku.

OBN =F1 /OBNOVA/ -provede nastavení obsahu všech registrů a podmínkových bitů ze sklípku. Po ukončení této instrukce pokračuje procesor ve vykonávání instrukce, u které došlo k přerušení činnosti.

WS2 A0,07 /W-SKLIPEK(XR5XR6XR7)/ -dvouslovní instrukce pro uložení registrů W(R6,R7) do sklípku

WS3 =A0,06 /R5R6R7-SKLIPEK(XR5XR6XR7) -dvouslovní instrukce pro uložení registrů R5,R6,R7 do sklípku.

SW2 =A0,88 /SKLIPEK(XR5XR6XR7)-W/ -dvouslovní instrukce pro naplnění registru W(R6,R6) ze sklípku.

SW3 =A0,08 /SKLIPEK(XR5XR6XR7)-R5R6R7/ -dvouslovní instrukce pro naplnění registrů R5,R6,R7 ze sklípku.

CRC =9E,06 /S-VYPCRC-X/ -dvouslovní instrukce pro výpočet hodnoty CRC z obsahu střadače "S" a obsahu registru "X". Výsledek se uloží do registr "X".

TAB =9E,03 /BBI(ROMAB+2S)/ -dvouslovní instrukce pro nastavení obsahu adresního registru "I" hodnotou z tabulky podle obsahu "S".
TAB X1X2 X3X4 X5X6 X7X8 X9X10
pro S=00 I=X1X2
S=01 I=X3X4
S=02 I=X5X6
.
.
.

ZAT =9E,02 /ZATRIDENI X=DIF,KJH=CAS,ABS=X+KJH,(A. R2=DALSIVOL)=ABS NICI:S,E,X,K/
-je určena k zatřídění požadavku na zpracování do časové tabulky v paměti dat:

ADRESA	OBSAH paměti
A,B	M1
A,M1	M2, ABSOLUTNÍ ČAS 1 (2 byte)
A,M2	M3, ABSOLUTNÍ ČAS 2 (2 byte)
A,M3	M4, ABSOLUTNÍ ČAS 3 (2 byte)
A,M4	00, ABSOLUTNÍ ČAS 4 (2 byte)

Hodnoty absolutních časů jsou setříděny pomocí ukazatelů M1-M4 vzestupně.
Tato instrukce na základě časové diference, jejíž hodnota je uložena v registru "X", vypočte na

základě hodnoty okamžitého času čteného z generátoru času nový "ABSOLUTNÍ ČAS N". Registr "R2" udává adresu nižšího řádu paměti pro nový absolutní čas, který je zatřiďován do tabulky. Nová tabulka bude po ukončení instrukce vypadat následovně:

ADRESA	OBSAH paměti
A,B	M1
A,M1	M2, ABSOLUTNÍ ČAS 1 (2 byte)
A,M2	R2, ABSOLUTNÍ ČAS 2 (2 byte)
A,R2 -nová položka	M3, ABSOLUTNÍ ČAS N (2 byte)
A,M3	M4, ABSOLUTNÍ ČAS 3 (2 byte)
A,M4	00, ABSOLUTNÍ ČAS 4 (2 byte)

Vstupní operace

IN1 =EF,B1 /PA,00=M,FF=TO/ -dvouslovní instrukce pro vstupní operace. Adresa je určena konstan-
IN2 =E7,B1 /PA,00=M,FF=TO/ tou B1, přenáší se osmibitovou adresní sběrnicí a příznakovou linkou do spolupracujícího zařízení. Data ze vstupní datové sběrnice jsou koncem příznakového signálu zapsány do střadače "S" a podle jeho obsahu nastaveny podmínkové bity. V průběhu příznakového signálu vstupu může spolupracující zařízení zastavit činnost procesoru a "počkat" na vybavení dat na datovou sběrnici.

KLA =9D,04,B1,B2,B3,B4 /B1B2=PREPL,B3B4=ZADA,S=KOD 7B=1=PREPL,E=PREMYK(1357B HRANA)/
-šestislovní instrukce pro vyhodnocení stavu vyrovnávací paměti klávesnice. Pro požadavek čtení stavu vyrovnávací paměti 1. klávesnice musí být střadač "S" nastaven na "01", při čtení stavu vyrovnávací paměti 2. klávesnice musí být střadač "S" nastaven na "70". Není-li ve vyrovnávací paměti žádný znak je vykonávána následující instrukce. Je-li vyrovnávací paměť přeplněna,instrukce se chová jako nepodmíněný skok na adresu B1,B2. Je-li ve vyrovnávací paměti znak a paměť není přeplněna, instrukce se chová jako nepodmíněný skok na adresu B3,B4. V těchto případech je ve střadači "S" na bitech 0-6 pozicový kód klávesnice, 7 bit=1 udává, že vyrovnávací paměť byla přeplněna.
V pomocném střadači "E" jsou údaje o přemycích:

0,1 bit -přemyk P1
2,3 bit -přemyk P2
4,5 bit -přemyk P3
6,7 bit -přemyk P4
1,3,5,7 bit -určuje "hranu" stisku přemyku
0,2,4,6 bit -určuje "hladinu" stisku přemyku (držení).

Na vstupu IN2 01 (IN2 70) je možno přečíst na bitech 0-6 pozicový kód klávesnice, na 7. bitu přeplnění vyrovnávací paměti. Na vstupu IN2 05 (IN2 74) je možno přečíst stav kláves přemyku. Příznakem výstupu OU2 0A (OU2 7B) se přebírá vyrovnávací paměť. Příznakem výstupu OU2 0B (OU2 7C) se provádí akustická indikace klávesnice, písknutí.

KJH =9E,82 /CAS - [RAM(LAB)RAM(LAB+1)]=S(VYS)E(NIZ),K=K+1/
-dvouslovní instrukce pro zjištění okamžitého času zmenšeného o diferenci uloženou v paměti na adrese LAB (vyšší řád času) a LAB+1 (nižší řád času). Hodnota upraveného času je ve střadači E (nižší řád) a ve střadači S (vyšší řád). Adresní registr paměti" K" je zvětšen o +1. Na vstupu IN2 02 je možno přečíst okamžitý stav nižšího řádu času. Na vstupu IN2 03 je možno přečíst okamžitý stav vyššího řádu času.

DMI =9E,07 /W=0001=1BYT,IN1R2=[RAM(LAB)],K=K+W,W=W,ES=FFFF/
-dvouslovní instrukce pro vstup IN1 "W" bytů z adresy "R2" do paměti od adresy "LAB".

INA =9E,05 /IN1R7=S,SROV R2,TOT,X=CRC/
-dvouslovní instrukce pro načtení obsahu vstupu IN1 na adrese "R7" do střadače "S" a srovnání s obsahem registru "R2", nastavení podmínek PTO a PVM a výpočet CRC za pomoci registru "X".

IND =9E,0C /IN1R2=[RAM(LAB)],W=FFFF,K=K+1,X=CRC,TOT=TO=R2=FF/
-dvouslovní instrukce pro načtení jednoho byte vstupu IN1 na adrese "R2" do paměti na adresu "LAB" a výpočet CRC za pomoci registru "X".

INN =9E,0D /W=0001=1BYT,IN1R2=[RAM(LAB)],W=FFFF,K=K+W,X=CRC,TOT=TO=R2=FF/
-dvouslovní instrukce pro vstup IN1 "W" bytů z adresy R2 do paměti od adresy "LAB" se současným výpočtem CRC za pomoci registru "X".

INS =9E,0B /W=0001=1BYT,IN1R2 SROV [RAM(LAB)],TOT,K=K+W,W=FFFF NEBO TOT=NTO,X=CRC/
-dvouslovní instrukce pro srovnání "W" a obsahů vstup IN1 z adresy R2 a paměti od adresy "LAB" se současným výpočtem CRC za pomoci registru "X". Instrukce je ukončena, když je vyčerpán počet srovnávaných bytů, nebo není shoda srovnávaných bytů.

INF =9D,0E,FF /S=07,W,RAM(LAB),X=CRC,R4=L-PREKL,YR5=A-PREKL=00 NEPREKL
C=0=CTENI-R3=04 FB=TOT F8=NTOT,C=1=KONCTENI-R3=04(FB),TOT/
-třislovní instrukce pro čtení, kontrolu a případný překlad "W" bytů z flexibilního disku do paměti RAM. Při této instrukci musí být registry nastaveny následovně:

S=07 -inverzní příznak neplatných dat
W -délka čteného bloku
RAMLAB -adresa kam ukládat (odkudt začít kontrolovat při kontrolním čtení)
X -CRC
R4 -adresa stránky překladové tabulky
YR5 -vrchní řád adresy (A) překladové tabulky, při hodnotě 00 se překlad neprovádí
C=0 -čtení; C=1 -kontrolní čtení
R3 -při čtení příznak platných dat inverzně (04), při kontrole očekávaný příznak

Výstupní operace

OU1 =BD,B1 -dvouslovní instrukce pro výstupní operace. Adresa je určena konstantou B1, přenáší
OU2 =F6,B1 se osmibitovou adresní sběrnicí a příznakovou linkou, na datovou sběrnici se přenáší obsah střadače "S". V průběhu příznakového signálu výstup může spolupracující zařízení zastavit činnost procesoru a počkat na zpracování dat na datové sběrnici.

CAK =9D,08 /ADR(DISPLAY08,09)=K/ -dvouslovní instrukce pro nastavení adresního registru vyrovnávací paměti zobrazení podle registru "K". Vyšší řád adresního registru vyrovnávací paměti se nastavuje pomocí výstupu OU2 08. Nižší řád adresního registru vyrovnávací paměti zobrazení se nastavuje pomocí výstupu OU2 09.

CAM =9D,09 /ADR(DISPLAY08,09)=[RAM(LAB),RAM(LAB+1)],K=K/
-dvouslovní instrukce pro nastavení adresního registru vyrovnávací paměti zobrazení podle obsahu paměti na adrese LAB (vyšší řád) a LAB+1 (nižší řád). Registry LAB zůstávají nezměněny. Vyšší řád adresního registru vyrovnávací paměti zobrazení se nastavuje pomocí výstupu OU2 08. Nižší řád adresního registru vyrovnávací paměti zobrazení se nastavuje pomocí výstupu OU2 09.

DMO =9E,08 /W=0001=1BYT,OU1R2=[RAM(LAB)],K=K+W+1,W=W,ES=FFFF/
-dvouslovní instrukce pro výstup OU1 "W" bytů na adresu "R2" z paměti od adresy LAB.

OUD =9E,09 /OU1R2=[RAM(LAB)],K=K+1,W=FFFF,X=CRC,TOT=TO=R2=FF/
-dvouslovní instrukce pro výstupu OU1 jednoho byte na adresu R2 z paměti na adrese LAB s výpočtem CRC za pomoci registru "X".

OUN =9E,0A /W=0001=1BYT,OU1R2=[RAM(LAB)],W=FFFF,K=K+W,X=CRC,TOT=TO=R2=FF/
-dvouslovní instrukce pro výstup OU1 "W" bytů na adrese" R2" z paměti od adresy LAB se současným výpočtem CRC za pomoci registru "X".

OUF =9D,0F,FF /S=04,W,RAM(LAB),X=CRC,R4=L-PREKL,YR5=A-PREKL=00 NEPREKL,R3=FB(F8),C=0 DF,C=1 MFM
-třísložní instrukce pro zápis a případný překlad "W" bytů na flexibilní disk z paměti RAM.

X -CRC
R4 -adresa stránky překladové tabulky
YR5 -vrchní řád adresy (A) překladové tabulky, při hodnotě 00 se překlad neprovádí
R3 -příznak dat FB platná data, F8 neplatná data
C=0 -zápis DF, C=1 -zápis MFM

CSN =9D,C3 /R3+1,C3=[RAM(DISPL),R3=FF/ -dvouslovní instrukce pro zápis R3+1 obsahů střadače "S" do vyrovnávací paměti snímku displeje od nastavené adresy. Tato instrukce ničí obsah "S" a "R4".

CSA =9D,83 /R3+1,S=20-3F ATRIB=[RAM(DISPL)],R3=FF/ -dvouslovní instrukce pro zápis R3+1 obsahů střadače "S" do vyrovnávací paměti snímku displeje od nastavené adresy. V případě, že je hodnota"S"v rozsahu 20-3F je zápis proveden jako atribut mimo tento rozsah jako data. Tato instrukce ničí obsah "S" a "R4".

CST =9D,43 /R3+1,S=TAB RAM(56X)=[RAM(DISPL)],R3=FF/ -dvouslovní instrukce pro zápis R3+1 obsahů přeložené hodnoty "S" přes tabulku v paměti jejíž adresa je tvořena R5 R6 S do vyrovnávací paměti snímku displeje od nastavené adresy jako data. Tato instrukce ničí obsah "S" a "R4".

CSO =9D,03 /R3+1,S=20-3F ATRIB=TAB RAM(56X)=[RAM(DISPL)],R3=FF/
-dvouslovní instrukce pro zápis R3+1 obsahů "S" do vyrovnávací paměti snímku displeje od nastavené adresy. V případě, že je hodnota "S" v rozsahu 20-3F je zápis proveden jako atribut, obsah je přeložen přes tabulku v paměti jejíž adresa je tvořena R5 R6 S jako data. Tato instrukce ničí obsah "S" a "R4".

CMN =9D,E2 /R3+1,[RAM(LAB)]=[RAM(DISPL)],R3=FF,K=K+R3+1/
-dvouslovní instrukce pro zápis R3+1 obsahů paměti od adresy LAB do vyrovnávací paměti snímku displeje od nastavené adresy jako data. Tato instrukce ničí obsah "S" a "R4".

CMA =9D,A2 /R3+1,[RAM(LAB)]=20-3F ATRIB=[RAN(DISPL)].R2=FF,K=K+R3+1/
-dvouslovní instrukce pro zápis R3+1 obsahů paměti od adresy LAB do vyrovnávací paměti snímku displeje od nastavené adresy. V případě, že je hodnota v rozsahu 20-3F je zápis proveden jako atribut mimo tento rozsah jako data. Tato instrukce ničí obsah "S" a "R4".

CMT =9D,62 /R3+1,[RAM(LAB)]=TAB RAM(56X)=[RAM(DISPL)]/
-dvouslovní instrukce pro zápis R3+1 obsahů paměti od adresy LAB přeložené přes tabulku, jejíž hodnota je tvořena R5 R6 M, do vyrovnávací paměti snímku displeje od nastavené adresy jako data. Tato instrukce ničí obsah "S" a "R4".

CMO =9D,22 /R3+1,[EAM(LAB)]=20-3F ATRIB=TAB RAM(56X)=[RAM(DISPL)]/
-dvouslovní instrukce pro zápis R3+1 obsahů paměti od adresy LAB do vyrovnávací paměti snímku displeje od nastavené adresy. V případě, že je hodnota v rozsahu 20-3F je zápis proveden jako atribut, obsah je přeložen přes tabulku v paměti, jejíž adresa je tvořena R5 R6 M, a zapsán jako data. Tato instrukce ničí obsah "S" a "R4".

3.5.2 Hardverová struktura procesoru, mikroinstrukční řízení (601.153)

Procesor je umístěn na jedné dvoustranné desce rozměru 300 x 300 mm.
Z funkčního hlediska jej můžeme rozdělit na tři funkční skupiny. Datová síť, mikroinstrukční řadič, dekodér řídicích signálů.

Návaznost jednotlivých funkčních skupin bude vysvětlována na podrobném blokovém schématu na obr.3.4, ve kterém jsou odkazy na integrované obvody, kterými je blok v podrobném schématu konkrétně realizován.

a) Datová síť

Jejím základem jsou dva osmibitové operační bloky, sestavené z dvoubitových aritmeticko-logických jednotek MH 3002. Sekce A -vyšší řád, je tvořena prvky MH 3002 na pozicích EF9, EF10, EF12, EF13 a obvodem pro urychlení přenosu MH 3003 na pozici EF14. Sekce B -nižší řád, je tvořena prvky prvky MH 3002 na pozicích EF2, EF4, EF5, EF7 a obvodem pro urychlení přenosu MH 3003 na pozici EF1. Tyto operační bloky mají dva osmibitové datové vstupy označené I a M, jeden osmibitový datový výstup označený DA řízený signálem EDA, osmibitový adresový výstup označený AA řízený signálem EA, jednobitový vstup aritmetického přenosu CI, jednobitový výstup aritmetického přenosu CO, jednobitový vstup rotace vpravo LI, jednobitový výstup rotace vpravo RO. Činnost tohoto operačního bloku je synchronní taktována pomocí hodinového signálu CL a řízena řídicími signály F0-F6 a K. Operační blok obsahuje deset osmibitových operačních registrů, osmibitový střadač, osmibitový výstupní datový registr, osmibitový výstupní adresní registr. Konkrétní přiřazení těchto registrů v obou blocích je zřejmé z blokového schematu. Součástí datové sítě jsou pomocné registry B0, B2, B3, B4, datové závory, tabulková násobička, blok pro opravu výsledku při dekadické aritmetické operaci. Vnitřní datová síť se skládá ze tří sběrnic.

Sběrnice R0 -R7 je jednosměrná. Je buzena z datového výstupu DA operačního bloku nižšího řádu (sejce B), jehož závora je trvale otevřena signálem EDA. Tato sběrnice je připojena na několik datových vstupů:

-G8-10, registr B2 realizovaný obvodem MH 3212, do kterého se zapisuje signálem HB2

-G4,H4, registr B0 realizovaný obvody MH 7475, do kterého se zapisuje signálem HB0

-G5,H10, zesilovač datového vstupu do paměti RAM realizované obvody MH 7437

-G6, vyhodnocování parity obvodem UCY 74180

-G7, vyhodnocování stavu (FF) HEX na sběrnici obvodem MH 7430

-H11,G11, nejnižší čtyři bity R0-R3 sběrnice jako jeden násobitel násobičky realizované pomocí paměti PROM MH 74S571. Nastavení binární nebo dekadické činnosti se provádí signálem 4B.

-H8, registr B3 pro čtyři bity R0-R3 realizovaný 74175, do kterého se provádí zápis signálem HB3. Slouží pro uchování adresních bitů AM16-AM19, pro adresaci paměti instrukcí.

-H6, registr B4 pro čtyři bity R0-R3 realizovaný 74175, do kterého se provádí zápis signálem HB4. Slouží pro uchování adresních bitů AM16-AM19 pro adresaci paměti dat.

Datové výstupy registrů B3 a B4 jsou přivedeny na vstup multiplexeru H8 realizovaného obvodem UCY 74175, řízeného signálem ZSB. Výstup tohoto multiplexeru představuje adresu AM16-AM19 paměti. Stav těchto adresních bitů je možno přečíst pomocí závory H9 MH 3226 na vnitřní datovou sběrnici D0-D3 ovládané signály ZIO a IOA.

Sběrnice D0-D7 je obousměrná a může být buzena, kromě již uvedené závory H9, také osmibitovými závorami realizovanými obvody MH 3226 a to na pozicích:

-H16,G16, závora pro čtení vstupních dat DI0-DI7 řízená signály ZIO, IOA

-H15,G15, závora pro čtení dat z paměti DMI0-DMI7 řízená signály ZDP a VNAV, který tuto závoru blokuje v zavřeném stavu

-H13,G13, závora pro čtení vstupních dat CA0-CA7 řízená signály CA0, ZCR. Tento vstup se používá při výpočtu CRC zabezpečovacího polynomu ve spolupráci s tabulkou na desce FP

-H14,G14, závora pro čtení vstupních dat CB0-CB7 řízená signály CA0, ZRC. Tento vstup se používá při výpočtu CRC zabezpečovacího polynomu va spolupráci s tabulkou na desce FP

-H18,G18, závora pro čtení podmínkových a stavových bitů PC, IM, 4B, PP, PVM, PTO, PC3, RMI, řízená signálem ZCP

-H11,G11, výstup násobičky realizované pamětí PROM MH 74S571, řízení je signálem ZN

-G1, závora pro realizaci opravné konstanty +6 při dekadické opravě výsledků, řízená signálem DEK

-EF9,EF10,EF12,EF13, datový výstup DA sekce A -vyššího řádu řízený signálem EDA

Sběrnice D0-D7 je připojena na tři osmibitové vstupy:

-EF9,EF10,EF12,EF13, datový vstup M sekce A -vyššího řádu

-EF2,EF4,EF5,EF7, datový vstup I sekce B -nižšího řádu

-B4-7, datový vstup X mikroinstrukčního řadiče realizovaného obvodem MH 3001

Sběrnice S0-S7 je jednosměrná. Je buzena z datového výstupu pomocného registru B0 realizovaného obvody MH 7475 na pozicích H5, G4. Tato sběrnice je připojena na několik datových vstupů:

-H11,G11, nejnižší čtyři bity S0-S3 sběrnice jako jeden násobitel násobičky realizované pomocí paměti PROM MH 74S571. Nastavení binární nebo dekadické činnosti se provádí signálem 4B

-EF9, EF10, EF12, EF13, datový vstup I sekce A -vyššího řádu

-EF2, EF4, EF5, EF7, datový vstup M sekce B -nižšího řádu

-G1, H1, H2, vstup bloku pro realizaci opravné konstanty při dekadické opravě výsledků

-bitové vstupy pro nastavení podmínkových a stavových bitů S0-PC, S1-IM, S2-4B, S3-PP, S4-PVM, S5-PTO, S6-PC3

Součástí datové sítě jsou multiplexery pro přepínání bitových signálů a paměti podmínkových a stavových bitů:

-C18, multiplexer realizovaný obvodem MH 74151 sloužící k nastavení vstupu aritmetického přenosu CB0 do aritmeticko logické sekce nižšího řádu B. Multiplexer je řízen signály M1A, M1B, M1C

-D18/1, multiplexer realizovaný polovinou obvodu UCY 74153 slouží k nastavení vstupu rotace vpravo LIB do aritmeticko logické sekce nižšího řádu B. Multiplexer je řízen signály M2A, M2B.

-D16/1, multiplexer realizovaný polovinou obvodu UC 74153 slouží k nastavení vstupu aritmetického přenosu CA0 do aritmeticko logické sekce vyššího řádu A. Multiplexer je řízen signály M5A, M5B.

-D18/2, multiplexer realizovaný polovinou obvodu UCY 74153 slouží pro nastavení vstupu paměti podmínkového bitu PTO (totožno). C13/1 realizovaného polovinou obvodu MH 7474, do kterého se zapisuje signálem HTV. Multiplexer je řízen signály M2A, M2B.

-D17/1, multiplexer realizovaný polovinou obvodu UCY 74153 slouží pro nastavení vstupu paměti podmínkového bitu PVM (větší) C17/1 realizovaného polovinou obvodu MH 7474, do kterého se zapisuje signálem HTV. Multiplexer je řízen signály M3A, M3B.

-E18, multiplexer realizovaný obvodem MH 7451 slouží pro výběr výstupů přenosů. Je řízen signálem 4B a využíván při různém módu činnosti aritmetiky.

-D17/2, multiplexer realizovaný polovinou obvodu UCY 74153 slouží pro nastavení vstupu paměti podmínkového bitu PC (přenos) C17/2 realizovaného polovinou obvodu MH 7474, do kterého se zapisuje signálem HC. Tato paměť je řízena ještě pomocí C14 (MH 7400) při instrukci dekadické

normalizace. Multiplexer je řízen signály M3A, M3B.

-C15/1, multiplexer realizovaný polovinou obvodu UCY 74153 slouží pro nastavení vstupu paměti podmínkového bitu PP (parita) C16/1 realizovaného polovinou obvodu MH 7474, do kterého se zapisuje signálem HPA. Multiplexer je řízen signály M4A, M4B.

-D16/1, multiplexer realizovaný polovinou obvodu UCY 74153 slouží pro nastavení vstupu paměti podmínkového bitu PC3 (přenos) C13/2 realizovaného polovinou obvodu MH 7474, do kterého se zapisuje signálem HC3. Tato paměť je řízena ještě pomocí C14 (MH 7400) při instrukci dekadické normalizace. Multiplexer je řízen signály M5A, M5B.

-C15/2, multiplexer realizovaný polovinou obvodu UCY 74153 slouží pro nastavení vstupu paměti podmínkového bitu PO2 realizovaného polovinou obvodu C9 (MH 7475), do kterého se zapisuje signálem HB1. Multiplexer je řízen signály M4A, M4B.

-F18, multiplexer realizovaný obvodem MH 74151 slouží pro nastavení vstupu paměti podmínkového bitu PO1 realizovaného polovinou obvodu C9 (MH 7475), do kterého se zapisuje signálem HB1. Multiplexer je řízen signály M4A, M4B, M4C.

b) Mikroinstrukční řadič

Základ mikroinstrukčního řadiče tvoří řídicí jednotka mikroprogramu MH 3001 na pozicích B4-7, která pomocí bitů M0-M8 adresuje mikroprogramovatelnou matici o kapacitě 1536 slov po 20 bitech realizovanou obvody PROM MH 74S571 na pozicích A4-A18. Výstupy této matice jsou bity V0-V19. Bity V0-V6 určují řídicí kód pro následující mikrotakt. Bity V18-19 určují výběr bloku mikroprogramové matice, tvořené třemi bloky po 512 slovech. Bit V16 pomocí synchronizační paměti C8 (MH 7474) určuje ukončení řetězce mikrotaktů a začátek nové instrukce. Bity V7-V15 pomocí synchronizační paměti C9, C10, B18 realizované obvody MH 7475 ovládají dekodér řídicích signálů. Řadič je řízen doplňkovou časovou logikou s krystalem řízeným oscilátorem na pozici D1 a D3, která umožňuje pomocí generátoru časového taktu, tvořeného obvody MH 74S112 na pozicích C2, C3, řízení jednotlivých bloků mikroinstrukčního řadiče. Generátor časového taktu je doplněn synchronizačními obvody pro spolupráci mikroinstrukčního řadiče s vnější pamětí a vstupně výstupními kanály C1 (MH 74S112), D11 (MH 74S40), C7 (MH 74S30). Součástí mikroinstrukčního řadiče jsou obvody pro nastavení výchozího stavu po zapnutí B2 (B 555), C3 (MH 74S112).

c) Dekodér řídicích signálů

Dekodér je řízen signály VX7-VX15 generovanými mikroinstrukčním řadičem. Je tvořen pamětmi PROM MH 74S571 na pozicích B8-B18, které přímo generují hladinové signály pro řízení datové sítě (M1A, M1B, M1C, M2A, M2B, M3A, M3B, M4A, M4B, M4C, M5A, M5B, M6A, M6B, M6C, FA0, FA1, FA2, FA3, FB0, FB1, FB2, FB3, F4, F5, F6, ZP). Další signály jsou generovány prostřednictvím dekodéru MH 3005 na pozici F17 (ZDP, ZCR, ZN, DEK, ZCP ZDA, ZIO, ZB2). Časové signály pro řízení datové sítě jsou generovány pomocí obvodů MH 7410 na pozicích C11, C12 (START, CLA, CLB, HTV, HC, HC3, HPA, JF, HDH) a obvodů MH 3005 na pozicích D13,D14 (HB0, HB1, HB2, HB3, HB4, HB5, HDP, HPO, IN2, BIN, OU1, OU2, IN1, IN2, NAV).

d) Mikroinstrukční struktura instrukcí

Každá instrukce se skládá z několika mikrotaktů. Během každého mikrotaktu se provádí nastavení logické sítě procesoru a generace časových signálů. Činnost procesoru je zřejmá z časových diagramů jednotlivých instrukcí. Časové diagramy všech instrukcí procesoru jsou uloženy v souboru SKIT.

3.6 Deska paměť univerzální (obr. 3.5) (601.187)

Deska paměť univerzální je provedena na dvoustranném plošném spoji rozměru 300 x 300 mm. Deska obsahuje blok pevné paměti ROM realizovaný paměťovými obvody EPROM K573RF5. Maximální kapacita paměti ROM je 16 KByte.

Druhý paměťový blok typu RAM může být realizován paměťovými obvody DRAM typu MHB4116C(16 KBit), K565RU6G(16 KBit) nebo K565RU5G(64 KBit). Podle množství a typu osazených paměťových obvodů DRAM je deska paměti vyráběna v těchto provedeních:

ČÍSLO DESKY	KAPACITA PAMĚTI RAM	POUŽITÝ IO DRAM
271.5 - 601.187	128 KB	K565RU5G
271.5 - 601.913	192 KB	K565RU5G
271.5 - 601.914	256 KB	K565RU5G
271.5 - 601.915	128 KB	K565RU6G
271.5 - 601.916	128 KB	MHB4116G

Řídicí logika desky je pro všechna provedení desky paměti osazená shodnými součástkami. Změny v řídicí části logiky a napájení IO DRAM jsou provedeny různým osazením drátových propojek. Osazení paměťového pole RAM obvody DRAM a osazení filtračních kondenzátorů na rozvodu napájení v poli RAM je pro jednotlivé desky odlišné. Osazení desek je uvedeno na výkresu číslo 271.5 - 601.187 list 1.

Blokové schéma desky je na obr. 3.6 a schéma obvodové na výkrese číslo 271.5 - 601.187 list 2. Jednotlivým blokům v blokovém schématu paměti přísluší uvedené integrované obvody (IO):

Dekodér stránky ROM: IO MH 3205 na pozici C4
Oscilátor 18 MHz: IO MH 74S04 na pozici C3 s příslušnými pasivními prvky a krystalem 18 MHz
Čítač obnovení informace: IO MH 7493A na pozicích A3, A4, B3, B4; Generuje 256 adresních řádků pro obnovení informace.
Dekodér výběru IO EPROM: IO MH 3205 na pozici D1
Registr adresy řádků: IO MHB 8282 na pozici E5
Registr adresy sloupků: IO MHB 8282 na pozici E6
Registr obnovení informace: IO MHB 8282 na pozici E4
Registr adresy bity NAM14-NAM19: IO MHB 8282 na pozici D3
Vstupní registr dat: IO MHB 8282 na pozici F1
Generátor paritního bitu: IO K531IP5 (SN74S280) na pozici H1
Výstupní registr dat: IO MHB 8282 a MHB 8283 na pozicích E1 a E3
Kontrola parity: IO K531IP5 (SN74S280) na pozici E2
Řídicí a časovací obvody: IO MH 7474 na pozicích B1, B2, B5; IO MH 74S74 na pozici A2; IO MH 7400na pozicích B4, B6; IO MH 74S00 na pozici B7 a IO MH 74164 na pozicích A5, A6

Styk paměti s procesorem probíhá prostřednictvím následujících signálů:

NAM0-NAM19	-adresa paměti
DM00-DM07	-zapisovaná data
DMI0-DMI7	-čtená data
PAR	-čtený paritní bit
START	-start operace s pamětí (záporný puls 100 ns)
SZP	-signál čtení, zápis (0=zápis; 1=čtení)
BPX	-blokování hlášení chyby parity (1=povoleno; 0=zakázáno)
STRAM	-časový stop procesoru (po dobu zpracování dat paměti je log"0")
CHP	-parita čtených dat (DM00-DM07+PAR)
CHPD	-chyba parity - při chybě = log"0"; při čtení ROM vždy = log"1"
ZDR	-závora výstupního datového registru - log"1" otevřen
BRF	-blokování režimu obnovení informace - propojkou na desce připojen na "0V", vyjmutím propojky je nastaven do log"1" - obnovení informace

Způsob komunikace procesoru s pamětí je znázorněn v časovém diagramu na obr.3.7. Činnost řídicí logiky desky paměti je znázorněna na časovém diagramu v obr. 3.8 a 3.9.

3.7 Deska FD (obr. 3.10) (601.168)

Na desku FD jsou soustředěny obvody pro styk s periferiemi a okolím s vyjímkou displeje a 1.klávesnice.Deska obsahuje obvody pro styk s flexibilními diskovými jednotkami (FD), s modemem pro přenos dat,s tiskárnou a klávesnicí.Dále obsahuje řídící systémové vstupy a výstupy, generátor časového signálu pro počitadlo času na desce DK a obvody pro řízení časového přerušení.

Obvody pro styk s FD dovolují úplnou obsluhu max 4 jednotek typu Consul 7115 (dvojitá hustota,oboustranný záznam).

Obvody pro styk s modemem dovolují styk s jedním modemem a přenos dat bytovými procedurami až do rychlosti 9 600 b/s.

Obvody pro styk s tiskárnou umožňují současný styk se dvěmi tiskárnami s maximální rychlostí tisku okolo 200 zn/s.

Obvody pro styk s klávesnicí dovolují připojení 1 klávesnice typu Consul 2715.

Systémové vstupy jsou určeny pro čtení systémových informací o fyzické velikosti vnitřní paměti,připojení jedné,nebo dvou klávesnic a čtení výrobního čísla stroje.

Systémové výstupy slouží k nastavování a řízení časového přerušení,řízení přerušení od přenosu dat,řízení blokování parity vnitřní paměti a řízení zapínání 1.tiskárny.

Deska je doplněna adresními a příznakovými dekodéry a samostatným generátorem 18 MHz s kmitočtovými děliči na kmitočty potřebné pro jednotlivé obvody a obvody pro generátor CRC.

Styk s procesorem je prostřednictvím adresní sběrnice(AP0 až 7),výstupní datové sběrnice(DO0 až 7),vstupní třístavové datové sběrnice(DI0 až 7),příznakových signálů (OU1,OU2,IN1, IN2),řídících a stavových signálů procesoru (STIO,ZI,NUL,PP) a některých signálů pomocné sběrnice (CA0 až 7, CB0 až 7).

3.7.1 Obvody pro řízení FD

Řízení adresace

Řízení adresace flexibilních disků je prováděno signály SEL1 až SEL4,které společně s indikačními signály IU1 až IU4 mají směrový charakter.Jsou řízeny z osmibitového registru H2 a H4 nahozením bitu AP3 a příznaku OU1.Datové přiřazení signálů je toto:

bit 0	signál SEL1	bit 4	signál IU1
bit 1	signál SEL2	bit 5	signál IU2
bit 2	signál SEL3	bit 6	signál IU3
bit 3	signál SEL4	bit 7	signál IU4

Jejich výstup je hradlován interním signálem SE (select enable).Výstupy jsou vyvedeny tak,že signály SEL1 až SEL3 (a jim odpovídající signály IU1 až IU3)jsou vyvedeny na FD v základním modulu displeje počítáno postupně od obrazovky doprava,v případě varianty se dvěmi moduly displeje jsou na FD druhého modulu displeje vyvedeny signály SEL3,SEL4 (a IU3,IU4) počítáno od obrazovky doprava.Z těchto důvodů NESMÍ NIKDY BÝT OSAZENA SOUČASNĚ PRAVÁ POZICE PRVÉHO MODULU DISPLEJE A LEVÁ POZICE DRUHÉHO MODULU DISPLEJE,protože obsahuje tutéž adresu třetího FD.Pravá pozice druhého modulu displeje se neosazuje nikdy.

Řízení interface

Řízení interface obsahuje obvody pro řízení povelových signálů pro FD a snímání stavových signálů FD.Pro řízení povelových signálů hladinového charakteru (PH,VP,SM,Z) je použit 4bitový registr H1,impulsní signál KR je dekódován přímým součinem v budícím zesilovači.Signály jsou řízeny nahozením bitu AP1 a příznaku OU1,datové přiřazení signálů je toto:

bit 0	nepoužit	bit 4	signál SM
bit 1	nepoužit	bit 5	signál Z
bit 2	signál PH	bit 6	signál KR
bit 3	signál VP	bit 7	nepoužit

Pro řízení vstupu stavových signálů IND,ST00,OZ,ZD,DD,RDY jsou použity dva 4bitové porty, I11,G16,které jsou řízeny nahozením signálu AP1 a příznaku IN1 a jejichž přiřazení je toto:

bit 0	signál IND	bit 4	signál DD
bit 1	signál ST00	bit 5	signál RDY
bit 2	signál OZ	bit 6	jiné použití
bit 3	signál ZD	bit 7	jiné použití

Řízení řídicích obvodů

Řízení styku s FD je ovládáno interními signály SE (select enable),IE (interrupt enable),PK (příznak) a DF (dvojí frekvence) hladinového charakteru,generovaných ve 4bitovém registru H3 a impulsním signálem CT (čtení).Tyto signály jsou řízeny nahozením bitu AP2 a příznakového signálu OU1.Jejich přiřazení je následující:

bit 0	signál SE	bit 4	signál CT
bit 1	signál IE	bit 5	nepoužit
bit 2	signál PK	bit 6	nepoužit
bit 3	signál DF	bit 7	nepoužit

Význam těchto signálů je tento:

SE - umožňuje aktivaci směrových signálů k FD
IE - dovoluje vnější blokování signálu časového přerušení procesoru
PK - přepíná mód kódování zapisovaných dat z normálního kódování DF, nebo MFM na kódování příznaků (FE*,FB*,F8*,FC*,A1*)
DF - Přepíná mód činnosti kódovacích/dekódovacích obvodů z kódování DF na MFM.

Obvody pro zápis

Tyto obvody jsou tvořeny generátorem vícefázových hodin,čitačem,posuvnými registry pro paralelně-seriový převod dat a kódovacími obvody.

V generátoru vícefázových hodin (E10,E11,E12) jsou vytvářeny 8mi fázové hodiny z nichž jsou využívány fáze 0,1,3,5,7 a to takto:

fáze 0 - řízení okamžiku přepisu předávaných dat z procesoru do posuvných registrů
fáze 1 - strobování výstupních datových impulsů a ukončení předávky z procesoru do posuvných registrů
fáze 3 - zvyšování hodnoty čitače bitů
fáze 5 - strobování výstupních hodinových impulsů
fáze 7 - posun dat v posuvných registrech

Perioda vícefázových hodin odpovídá 4 us pro kódování DF a 2 us pro kódování MFM.Generátor je nulován zrušením zápisu.

Posuvné registry (F12,F13,F14) slouží pro převod dat (při DF i MFM) a hodin (při DF) z paralelní na seriovou formu.

V módu DF je výstup dat brán z 8.bitu,při módu MFM je brán z 10.bitu,aby byl pro kódovací algoritmus k dispozici vždy minimálně 1 následující bit.

Kódovací logika je tvořena kombinační kódovací sítí a dvěmi jednobitovými pamětmi (D14).První z nich řídí synchronní přepnutí z normálního kódování na kódování příznaku (signál PK je asynchronní),druhá je součástí kódování příznaku při MFM (kód M2FM) a vynechává sudé hodinové impulsy.

Obvody pro čtení

Obvody pro čtení jsou tvořeny fázovou smyčkou pro vytváření pilotního hodinového signálu,posuvným registrem pro serioparalelní převod,dekódovací logikou pro dekódování příznaků, vyrovnávací pamětí na 1 znak a čitačem pro odpočítávání bitů.

Fázová smyčka sestává z normalizačních monostabilních obvodů (MKO) pro nastavení definovaných šířek čtených dat,fázově frekvenčního detektoru,integračního dvojitého nf filtru, napětím řízeného oscilátoru (VCO) pilotního kmitočtu a řídícího multiplexeru porovnávaných signálů.

Normalizační MKO (E16) generuje na nástupnou hranu čteného impulsu čtveřici standardních komplementárních impulsů šířky 0,5 a 1 us.Tyto impulsy jsou přes multiplexer porovnávaných signálů (E15) vedeny společně s příslušným pilotním signálem z VCO (0,5 nebo 1 MHz) na frekvenčně-fázový dekodér tvořený obvody F16,T1,T2,F15 a F17 (částečně).Porovnávání okamžité fáze je spuštěno nástupnou hranou standardního čteného impulsu (1 us pro DF;0,5 us pro MFM) a v obvodech F16 je po-

rovnána následující poloha sestupné hrany čteného normalizovaného impulsu s hranou pilotního signálu.Jsou-li ve fázi,jsou na spojených kolektorech T1 a T2 dva úzké jehličkové impulsy opačné polarity,jejichž šířka je dána pouze zpožděním v obvodech F16,F17.Nejsou-li ve fázi,objeví se na spojených kolektorech T1 a T2 impuls,jehož šířka je určena rozdílem mezi sestupní hranou normalizovaného čteného signálu a hranou pilotního signálu a polarita odpovídá směru vzájemného posuvu.Tento proudový impuls je veden na integrační článek,kde se náboj rozloží na dvě složky.Část náboje zachycená v kondenzátoru C13 malé hodnoty způsobí krátkodobý velký vzrůst řídícího napětí na řídícím vstupu VCO a tím okamžitou rychlou změnu fáze pilotního signálu.Toto napětí se vzápětí vybije přes odpor R36 a nemá na další činnost VCO vliv.Část náboje zachycená v C14 velké hodnoty způsobí malou trvalou změnu řídícího napětí,která způsobí malou trvalou změnu kmitočtu VCO.Aby vybíjení kondenzátoru C14 bylo co nejpomalejší,je napětí z něj snímáno emitorovým sledovačem T3.VCO (D15) a dělič (F15) tvoří generátor obou pilotních kmitočtů.Střední kmitočet VCO je určen kondenzátory C10,C11, strmost zdvihu VCO je dána děličem R30,R31,R32.

Z fázového detektoru je z obvodu F15,který vlastně pracuje jako paměť čteného impulsu,veden čtený signál na vstup posuvného registru.Pilotní signál provádí posuv v posuvném registru, řídí čas vyhodnocování stavu posuvného registru a provádí čítání bitových intervalů v čítači.

Dekódovací logika pro dekódování příznaků je tvořena kombinačními obvody G17,H18,G18 F17 detekujícími příznaky FE*,FB*,F8*,A1* podle druhu způsobu kódování.Okamžik startu vyhledávání příznaku je řízen vnitřním signálem CT,který nuluje čítač bitů I18,vyrovnávací paměť H14-15 a klopný obvod příznaku (F17).Tento klopný obvod je prvním příchozím příznakem nahozen a tím je spuštěno čítání bitů v čítači,který společně s pilotním signálem určuje okamžik přepisu dat (i příznaku) do vyrovnávací paměti.Současně provádí i odbrzdění případného stopu procesoru.Zpoždění v obvodech stopu a vyrovnávací paměti způsobí předstih dat na vstupní sběrnici procesoru před odbrzděním.Při přepisu dat z posuvného registru do vyrovnávací paměti jsou data přepisována z lichých bitů registru(sudé obsahují hodinové impulsy) počítáno od MSB.Příznak FC* není při čtení detekován.

3.7.2 Obvody pro styk s modemem

USART

Základem adapteru pro přenos dat je integrovaný USART (MHB 8251) pozice C14 - 16. USART je přes obousměrné budiče I14,G14 připojen na vstupní a výstupní datovou sběrnici procesoru. Přepínaní budičů ze vstupu na výstup je řízeno signálem A3, který odpovídá bitu AP3 adresy vstupu/výstupu.Platí:

AP3 = 0	vstup z USARTu do procesoru
AP3 = 1	výstup z procesoru do USARTu

Rozlišení dat od řídícího/stavového slova je dáno bitem AP0 přímo na vstupu DC USARTu.

Nulovací,zápisový a čtecí signál (R,W,CD) pro USART je generován příznakovými signály takto:

R	OU2 7A
W	OU2 7E,OU2 7F
CD	IN2 76,IN2 77

Trvání těchto signálů je prodlouženo na 8 us (signál R),ev. 1us (signál W,CD) pomocí časového stopu STC ve zpožďovacím obvodu ,který je tvořen čítačem C4, pamětí C3 a kombinační logikou. Čítač je řízen z frekvence 2MHz.Po načítání stavu 2 (pro 1 us),resp. 16 (pro 8 us) je klopný obvod C3 určující délku STP nulován.

Význam řídících signálů je tento:

OU2 7A	nulování USART
OU2 7E	zápis dat do USARTu
OU2 7F	zápis řídícího slova USARTu
IN2 76	čtení dat z USARTu
IN2 77	čtení stavovéo slova USARTu

Na hodinový vstup C USARTu je připojen signál CLK frekvence 1 MHz a střídy 1 : 3.

Synchronizace USARTu s procesorem

Řídící signály přenosu dat pro USART (RR a TR) jsou sečteny a vedeny jako signál žádosti o přerušení INTC na součet signálu ZI,dále jako bit 0 stavového slova přenosu.Signál TE (chybový signál prázdná vysílací paměť) je pamatován v paměti C12 a veden jako bit 1 stavového slova přenosu.Tento signál trvá do zápisu dalšího byte do USARTu signálem W.

Registr podmínek přenosu

Tento registr řídí povolení přerušení, volbu časové základny a rychlosti.Adapter dovoluje programovou volbu tří typů časové základny:

Asynchronní přenos (CASYN),kdy hodinová frekvence je 64 násobkem frekvence přenášených dat.

Synchronní přenos s vnitřní synchronizací (CSYN),kdy vzorkovací frekvence je v synchronizačních obvodech sfázována s přijímanými daty.V obou těchto případech je základní frekvence 0,6 MHz z vnitřního oscilátoru odpovídající přenosové rychlosti 9 600 b/s postupně dělena v čítači A18 na kmitočty odpovídající rychlostem 4 800, 2 400, 1 200 a 600 b/s.Rychlost se přepíná v multiplexeru A17.

Třetím typem časové základny je vnější časová základna pro synchronní přenos s vnější synchronizací,kdy vzorkovací signály jsou přiváděny z vnějšího modemu.Přepínání časové základny se provádí v multiplexeru B18.

Volba podmínek přenosu se provádí takto:

bit 2,1,0	přenosová rychlost
0 0 0	9 600 b/s
0 0 1	4 800 b/s
0 1 0	2 400 b/s
0 1 1	1 200 b/s
1 0 0	600 b/s
(zbytek kombinací nepovolen)	
bit 4 3	časová základna
0 0	vnější z modemu
0 1	asynchronní přenos
1 0	vnitřní synchronizace
1 1	nepovoleno
bit 5	povolení přerušení
bit 6	nepoužit
bit 7	nepoužit

Stavové signály adapteru

Stavové signály adapteru jsou 4 a jsou čteny na vstup IN1 73. Jejich význam je následující:

bit 0	žádost o zápis/čtení
bit 1	chyba vysílání
bit 2	detekce nosné (signál 109)
bit 3	pohotovost k vysílání

Vnitřní synchronizace

Obvody pro vnitřní synchronizaci zajišťují fázové posunutí výsledné časové základny na fázi a frekvenci přijímaných dat.Synchronizace je prováděna na hranu přijímaných dat. Synchronizační obvody jsou tvořeny io A16,A15,B15,B17 a částečně C12,B12,B14,B16.Výchozí frekvence je dělena v čítači A16 a A15 a v obvodu C12 a B12 porovnávána c přijímanými daty.Při ideální shodě je signál na výstupu B12/8 inverzí signálu A15/7.V tomto případě jsou blokovány jak korekční impulsy pro odečítání,generované na výstupu B17/6, tak i korekční přičítací impulsy,generované do vstupu B17/13. Pro zajištění rovnoměrnosti řízení fázové odchylky je navíc hradlován každý druhý odečítací impuls vstupem B17/4.Funkce synchronizačních obvodů je taková,že při porušení synchronizace jsou po dobu vyhodnocené odchylky připuštěny přičítací, nebo odečítací impulsy na čítač A15,což vede k odstranění této odchylky.

V případě,že se jedná o přenos,kde jsou data vyjádřena hladinově (ne impulsy) jsou

odečítací korekční impulsy odblokovány.Synchronizace je zajištěna zpětnou vazbou z výstupu A15/6 na nastavovací vstup A15/11.Synchronizace obou čitačů (A15 a A16) je provedena z výstupu A16/13 do vstupů pro nulování (A16) a nastavování (A15).

Zdvih doladovacích obvodů je 25%, tzn. úplné doladění fáze se provede na 4 periody čteného signálu.To znamená, že při povolené fázové chybě 15% lze doladit kolísání kmitočtu vstupních dat o 10%.

Výstupní signály

Výstupní obvody (C10,C11) provádějí převod úrovně TTL na ± 12V. Signály 103,105,108 jsou odvozeny z výstupů USARTu,signál 111 je odvozen z nejnižšího bitu rychlosti přenosu.

Vstupní signály

Vstupní signály jsou vedeny z modemu přes převodníky úrovní ± 12V na TTL na pozicích C17,C18,které mají řiditelnou šířku hystereze pomocí propojek na pozici C17.Standardní propojení je ze vstupů T na vstup R. Pro zvýšení hystereze je nutno provést přepojení vstupů T na +5V, pro snížení hystereze je nutno spojky na vstupy T rozpojit.

Signály 114 a 115 (časová základna) jsou připojeny na multiplexer časové základny, signály 104,106,107 jsou vedeny na USART, signály 106 a 109 jsou vedeny na port vstupní sběrnice procesoru jako bity 3 a 2 stavového slova přenosu.

3.7.3 Obvody pro řízení tiskáren

Řízení tiskáren obsahuje obvody pro volbu adresy tiskárny,výstupní datové a příznakové vyrovnávací paměti a vstupní stavový port.

Přepínání adresy tiskáren se děje výstupním povelem OU2 78 (nastavení tiskárny 1) a OU2 79 (nastavení tiskárny 2).Adresa tiskárny je držena v paměti A4 (část) a přepínání je prováděno v io F5,který dekóduje příslušné nahrávací signály do datových a příznakových registrů.Po nastavení adresy je veškerá komunikace vedena se zvolenou tiskárnou,do doby,než se adresa změní.

Datová vyrovnávací paměť na 1 znak je řízena povelem OU2 72 a má 9 bitů (D00 až 7, PP) a je tvořena io G5,H5 pro tiskárnu 1 a G6,H6 pro tiskárnu 2.

Příznaková vyrovnávací paměť na 3 bity je řízena povelem OU2 73 a je tvořena io F6 pro tiskárnu 1 a io F7 pro tiskárnu 2.Přiřazení bitů je následující:

	C211	C212
bit0	SC (data připravena)	SC
bit1	S1 (parita platí)	S1
bit2	PL (řízení rychlosti)	S3 (konec bloku)

Na pozici F7 je přepínací pole,které dovoluje volbu polarity a okamžiku přepínání bitu 2 buď na:

1) přímý výstup z registru (spojení 1-3 a 9-10)
2) inverzní výstup z registru (spojení 2-4 a 7-8)
3) inverzní výstup se změnou v okamžiku změny L-H signálu AC (spojení 5-6 a 11-12)

Standardní zapojení je pozice 5-6,11-12,což odpovídá požadavkům zapojení tiskárny C211.

Vstupní porty jsou 4bitové porty na pozici I10 (pro tiskárnu 1) a I12 (pro tiskárnu 2),a na povel IN2 72 indikují následující stavové signály:

bit 0	AC (převzetí dat)
bit 1	A0 (přijímač připraven)
bit 2	AI-3 (C 211-chyba mechaniky,C212-chyba STM)
bit 3	AI-1 (chyba parity)

3.7.4 Obvody pro styk s klávesnicí

Tyto obvody jsou identické s obvody pro styk s 1.klávesnicí na desce DK.Rozdíl spočívá pouze v adresách jednotlivých ovládacích signálů:

signál	1.klávesnice	2.klávesnice
vstup klávesového kódu	IN2 01	IN2 70
vstup kódu přemyku	IN2 05	IN2 74
převzetí klávesnice	OU2 0A	OU2 7B
Písknutí	OU2 0B	OU2 7C

3.7.5 Obvody pro systémové použití

Systémové vstupy

Systémové vstupy SU0A až SU0D jsou tvořeny 4bitovým portem G15 a jsou čteny na bity DI4 až DI7 na adresách IN2 F8 až IN2 FB (na všech čtyřech stejně) a mají následující význam:

bit 4	přítomnost klávesnice 1	bit 5	čtení velikosti
bit 7	přítomnost klávesnice 2	bit 6	operační paměti

Systémové vstupy SU00 až SU015 jsou určeny pro čtení výrobního čísla stroje.Jsou tvořeny třístavovými multiplexery I16,I17 a jsou čteny na bity DI0 až DI3 postupně na adresách IN2 F8 až IN2 FB.

Obvody časového přerušení

Obvody pro řízení a nastavování časového přerušení jsou tvořeny nastavitelnými čítači G1,G2,G3,G4,pamětí přerušení C2 a hradlem C1.

Délka přerušení je nastavována jako 16ti bitové slovo signály AP4 a OU1 (MSB) a AP7 a příznakem OU1 (LSB),základní kmitočet odečítání v registru je 10 kHz.Přechod stavu čítače 0000 -> FFFF je zachycen v paměti přerušení a (je-li nahozen vnitřní signál IE) je vydána žádost o přerušení od čítače.Nulování paměti časového přerušení je provedeno povelem OU2 77.Stav K0 přerušení je do procesoru načten jako bit 6 na vstupu IN1 při nahozeném bitu AP1.Obdobně je v druhé půlce paměti C2 zachycen požadavek na přerušení od přenosu dat.Tento signál není blokován signálem IE a lze jej nulovat povelem OU2 76.Stav tohoto K0 lze číst jako bit 7 při vstupu IN1 a AP1.Načtení těchto bitů slouží tedy k rozlišení typu vnějšího přerušení (časové,nebo přenos).

Signál žádosti o přerušení od čítače dále blokuje signál STI0,aby nedošlo k trvalému blokování procesoru při mimořádných stavech při i/o operacích s FD.Vlastní signál STI0 je vytvořen jako součet stopu od čtení FD,zápisu FD a časového stopu od přenosu dat.

Systémové výstupy

Systémové výstupy jsou dva a to řízení blokování parity operační paměti (odblokování chybového hlášení OU2 70,zablokování IN2 75) a zapnutí síťového spínače STM (zapnutí OU2 71,vypnutí IN2 71).Oba výstupy jsou generovány v 1 a D1 a nulovány rovněž po zapnutí stroje.

3.7.6 Doplňkové obvody

Generátor 18 MHz a odvozených kmitočtů je tvořen generátorem B2,dvěmi děliči modulo 3 (A2 a A1),pomocnými děliči A3,C3,C5 a D5 generujícími postupně kmitočty 2MHz (pro zápisové obvody FD a přenos dat),signál CLK (1 MHz asymetrický) pro USART,dále 600 kHz pro přenos a 10 kHz pro řízení časového přerušení na desce FD a počitadla času na desce DK.

Adresní a příznakové dekodéry

Adresní a příznakové dekodéry jsou tvořeny pro příznaky IN1,OU1 io F1,F2 a částečně io E3 (bitové dekodéry) a pro příznaky IN2,OU2 io D2,D3-4,E6,E7 a částečně E8 a E2 (dekodér 1 z N).

Generátor CRC

Tabulka pro generování CRC je ralizována pomocí logické sítě tvořené io F3 a F4.

3.8 Deska displej-klávesnice (DK) (obr. 3.11) (601.167)

Obvody na desce DK (obvodové schéma 2715-601167 list 2) lze rozdělit na tři samostatné bloky. Na blok obsluhy displeje, blok obsluhy klávesnice a blok počítadla času.

Deska DK má následující vstupy a výstupy:

OS1, OS2, JAS1, JAS2, STVR1, STVR2, STVS1, STVS2	obrazové a synchronizační signály pro zobrazovací jednotku
IN2	příznak vstupu
OU2	příznak výstupu
AP0-AP7	adresa z procesoru
DO0-DO7	data z procesoru
DI0-DI7	data do procesoru
CHPD	chyba parity na displej
PÍSK	akustický signál
KLIK	klapání klávesnice
PK1-PK4	přemyk klávesnice
ŽK	žádost klávesnice
OPK	opakování klávesnice
DK1-DK7	data z klávesnice
START, CST, BI, CI	časové signály z procesoru
HT	vstupní kmitočet hodin

3.8.1. Blok obsluhy displeje

Blok obsluhy displeje obsahuje tyto obvody:

vyrovnávací paměť RAM
generátor znaků ROM
generátor pomocných funkcí
blok přenosu atributů
paralelně-sériový převodník
adresní a synchronizační obvody
hodinové a taktovací obvody

Umožňuje zobrazení abecedně-číslicové a pseudografické informace na stínítku zobrazovací jednotky. Na jeden znak připadá bodový rastr 8x16 bodů, který dovoluje zobrazit kompletní českou abecedu včetně háčků a čárek. Pseudografické symboly lze použít k tvorbě tabulek, k zobrazení šachových figur atp. Grafické znaky lze vytvářet i ve větším rastru než je základních 8x16 bodů, neboť jednotlivé rastry se dotýkají bez mezery jak ve svislém, tak ve vodorovném směru. Pomocí generátoru funkcí jsou vytvářeny pomocné funkce využitelné pro zdůraznění a členění textu. Jsou to tyto funkce:

inverzní zobrazení
zvýšený jas
podtržení
blikání
svislé oddělovače

Jednotlivé způsoby zobrazení lze kombinovat.

Vyrovnávací paměť RAM má organizaci 2K x 10 bitů a je použita jako vyrovnávací paměť pro celý snímek. Bity 0-7 slouží k uchování dat, bit 8 rozlišuje data od atributů a bit 9 určuje pozici ukazovátka. Zapisovat do ní lze dvěma způsoby. Buď tvrdě při potlačení zobrazení, nebo pouze ve zpětných bězích vždy po 48 mikrosekundách, kdy není rušeno zobrazení.

Generátor znaků ROM má kapacitu 4K x 8 bitů. Obsah generátoru znaků lze číst do procesoru pro účely testování při potlačeném zobrazení.

Generátor pomocných funkcí tvoří logické obvody umožňující zobrazovat jednotlivá pole podle atributů. Význam jednotlivých bitů atributů je následující:

BIT	0	1	POZNÁMKA
0	normální zobr.	inverzní	
1	-	zvýšený jas	
2	-	podtržení	
3	-	blikání	
4	-	svislé oddělovače	
5	neplatný atribut	platný atribut	
6			indikátory
7			
8	není to atribut	atribut	
9		ukazovátko	

Kombinace 27, 2F, 37, 3F potlačují zobrazení daného pole. Logické obvody dále zajišťují, aby jednotlivé body svislých oddělovačů byly zobrazovány po kratší dobu, než body běžných znaků. To znamená, že svislé oddělovače jsou na stínítku zobrazovací jednotky kresleny tenčí čarou.

Blok přenosu atributu zajišťuje přenos atributů z konce znakového řádku na začátek následujícího znakového řádku. To zajistí plynulý přechod polí z řádku na řádek bez nutnosti nastavovat atributy pro každý začátek řádku.

Paralelně sériový převodník zajistí převedení paralelních dat z generátoru znaků do sériového tvaru, synchronního se synchronizačními signály STVR a STVS.

Adresní obvody generují adresu pro postupné čtení vyrovnávací paměti RAM a pro čtení paměti atributů začátků řádků. Hodiny, které mají základní kmitočet 18MHz, spolu s taktovacími obvody zajišťují funkci jednotlivých bloků obsluhy displeje.

Jednotlivé bloky jsou řízeny následujícími instrukcemi:

```
OU2 =00 řídicí slovo
    =01 data bit 0-7
    =02 začátek zápisu (příznak)
    =03 konec zápisu (příznak)
    =04 adresa + 1 (příznak)
    =05 adresa - 1 (příznak)
    =06 odpojení sběrnic (příznak)
    =07 připojení sběrnic (příznak)
    =08 adresa bit 8-10
    =09 adresa bit 0-7
    =0C řídicí slovo snímku
IN2 =00 čtení dat do procesoru (IN2 =04)
```

Význam jednotlivých bitů:

OU2 =00

BIT	0	1	POZNÁMKA
0	data	atributy	
1		cursor	
2	RAM	ROM	
3	zápis 0-9	zápis 8+9	RAM
	čtení 0-7	čtení 8+9	RAM
	čtení 0-7	čtení 0-7	ROM

OU2 =0C

BIT	0	1
4	malý cursor	velký cursor
5	pevný cursor	blikající cursor
6	pevný snímek	blikající snímek

3.8.2. Blok obsluhy klávesnice

Blok obsluhy klávesnice obsahuje vyrovnávací paměť (FIFO) s organizací 16 x 15 bitů (7 bitů data, 8 bitů přemyky). Data z klávesnice, uložená ve vyrovnávací paměti, jsou čtena do procesoru pomocí instrukcí:

```
IN2 =01   čtení dat bit 1-7 (DI0-DI6)
IN2 =05   čtení přemyků (DI0-DI7)
```

Význam jednotlivých bitů je následující:

IN2 =05

BIT	význam
0	držený 1. přemyk
1	1. přemyk
2	držený 2. přemyk
3	2. přemyk
4	držený 3. přemyk
5	3. přemyk
6	držený 4. přemyk
7	4. přemyk

Klávesnice se přebírá příznakem instrukce OU2 =0A. Instrukce OU2 =0B se používá k vydání zvukového signálu (písknutí klávesnice).

3.8.3. Blok počítadla času

Blok počítadla času obsahuje řetěz čítačů, na jehož vstup HT je přiveden vstupní kmitočet 10 kHz. Výstupy čítačů jsou čteny instrukcemi:

IN2 =02 (=06) nižších 8 bitů
IN2 =03 (=07) vyšších 8 bitů

3.9 Klávesnice obr. 3.12 (601.475)

Klávesnice je provedena na dvoustranném plošném spoji rozměrů 485 mm x 160 mm. Schéma klávesnice je na výkrese číslo 271.5 - 601.475 list 2, osazení součástek na výkrese číslo 271.5 - 601.475 list 3.

Klávesnice je řešena bezkontaktními monolitickými spínači MH3SS2, ovládanými magnetickým polem. Klávesové pole obsahuje 95 těchto spínačů zapojených v matici. Vyhodnocení stisku klávesy je provedeno dvěma integrovanými obvody MH1KK1. Pozicový kód jednotlivých kláves je uveden na výkrese číslo 271.5 - 601.479. Pozicový kód kláves je vyveden na konektor klávesnice signály DK1 - DK7. Signál ŽK - žádost klávesnice udává logickou úrovní L přítomnost kódové kombinace na signálech DK1 - DK7. Kromě uvedených kláves obsahuje klávesnice pět zvláštních kláves, které nejsou zapojeny v matici a jejich stav je vyveden na konektor signály PK1, PK2, PK3, PK4 a OPK. Při stisku těchto kláves je na příslušném signálu logická úroveň L. U klávesnice v českém provedení nejsou tlačítka na signálech PK3, PK4 osazena.

Klávesnice obsahuje rovněž obvody pro akustickou signalizaci, která je řízena signály "KLIK" a "PISK". Je-li signál "PISK" na úrovni H a na signál "KLIK" přivedeme záporný puls, klávesnice klikne. Při úrovni H na signálu "KLIK" a záporném pulsu na signálu "PISK", klávesnice piskne.

3.10 Napájecí část (obr. 3.13; 3.14; 3.15) (601.057; 601.164; 601.165; 601.183)

Napájecí část tvoří jednoúčelový spínací zdroj zapojený jako dvojčinný propustný měnič s příslušnými řídicími a vyhodnocovacími obvody - viz. obr. 3.16. Zde je také vidět počet výstupních stejnosměrných napětí a jejich zatížitelnost. Při maximálním souhrnném výkonu na výstupech cca 250 W je příkon zdroje asi 350 VA.

Napájecí část odpovídá normě ČSN 369060. Napájecí část je umístěna v modulu elektroniky. Tvoří přitom samostatný kompaktní celek, zasouvatelný do rámu před ventilátor. Teprve po zasunutí zdroje

je možné připojit vodiče síťového rozvodu do svorkovnice, k nožovým kontaktům vodiče, rozvádějící výstupní stejnosměrná napětí ze zdroje a 9-ti kolíkový konektor, kterým se přivádí od zátěží zpět do zdroje jednotlivá stejnosměrná napětí pro vyhodnocovací obvody. Jen odvod napětí +5 V se zajišťuje kontaktními plochami plošného spoje a kabelovými oky vodičů stahovanými šrouby M6. Zdroj je mechanicky uspořádán na dvou deskách dvoustranných plošných spojů o rozměrech 182,5 x 310 mm, přičemž pro zjednodušení konstrukce i montáže jsou na deskách plošných spojů připevněny všechny součásti zdroje.

Při demontáži zdroje se po vyjmutí z rámu elektroniky a uvolnění panelu zdroje z čepů musí povolit čtyři šrouby M4 (pomocí šroubováku) a poté se desky zdroje rozevřou. Umístění hlavních prvků v rozevřeném zdroji je vidět na obr. 3.17. Pro přehlednost je na obr. 3.18 uvedeno umístění regulačních prvků a na obr. 3.19 umístění diagnostických bodů. Schéma zapojení a osazení desek plošných spojů je na výkresech 601.057, 601.164, 601.165, 601.183.

Činnost zdroje si vysvětlíme na základě blokového schématu z obr. 3.16, případně i obr. 3.20.

Napájecí napětí se do zařízení přivádí pomocí 3 metry dlouhé stíněné šňůry, která je připojena k prvnímu radiofrekvenčnímu filtru. Od něj se přes síťový spínač přivádí síťové napětí na svorkovnici zdroje a odtud se rozvádí na ventilátor, na nulový síťový spínač a na druhý radiofrekvenční filtr. Z tohoto RF filtru se síťové napětí přivádí na pomocný transformátorek interního napájení a na síťový usměrňovač. Ten je se síťovým filtrem spojen obvodem, omezujícím velikost nabíjecího proudu po zapnutí zdroje. Současně s nabíjením síťového filtru se na sekundátoru pomocného tranformátorku transformuje napětí, ze kterého se odvozuje, dle nastavené časové konstanty, startovací impuls. Z tohoto napětí se také vytváří pomocné stabilizované napětí 12 V pro napájení vyhodnocovacích a řídicích obvodů. Připojení napětí 12 V k těmto obvodům je provedeno až po startovacím impulsu. Přitom se připojí i blokovací oscilátor, ktrý je zdrojem napětí - 5 V. Přítomnost tohoto napětí je podmínkou pro odblokování řídicího obvodu (tímto je zajištěna časová posloupnost náběhu a sestupu napětí vzhledem k použitým pamětem RAM). Řídicí obvod generuje šířkově modulované impulsy o kmitočtu 40 kHz. Tento obvod při rozběhu zdroje využívá tzv."měkkého startu". Výstupními impulsy řídicího obvodu je řízeno střídavé přepínání výstupních impulsů spínajících budicí obvody spínačů a tím zároveň i spínání výkonových spínačů v měniči.

Vytvořené obdélníkové napětí v měniči se transformuje na jednotlivá sekundární napětí. Podle funkce lze tato napětí rozdělit na pomocné (vnitřní) a pracovní (výstupní).

Z pomocných to je napětí pro napájení řídicího obvodu nulového síťového spínače. Dalším pomocným napětím se řídí zrušení omezení nabíjecího proudu. Posledního pomocného napětí se využívá pro interní napájení zdroje, kde po usměrnění a filtraci dostáváme nestabilizované napětí 20 V.

Pracovní napětí jsou přivedena na usměrňovače a LC filtry.Ve dvou případech se nestabilizovaná napětí + 28 V a + 22 V přivádí přímo na výstupní svorky zdroje. U třech výstupních napětí + 24 V, + 12 V, - 12 V jsou použity třísvorkové lineární stabilizátory. Základní, přímo řízené napětí je + 5 V. Všechna pracovní napětí, kromě + 5 V, i pomocné napětí 20 V jsou proudově jištěna tavnými pojistkami, napětí + 5 V je jištěno elektronicky. Od zátěží jsou tato napětí přivedena na vyhodnocovací obvody, kde se vyhodnocuje přítomnost či toleranční rozsah výstupních napětí. Vyhodnocení je připojeno na řídicí logiku, k níž je připojena i tepelná ochrana zařízení. V případě výpadku některého napětí nebo překročení dovolené teploty či zvýšení proudu nad dovolenou mez u napětí + 5 V se zablokuje řídicí obvod a přitom se indikuje porucha (rozsvícení diody LED, umístěné na zdroji). Ovšem to jen za předpokladu, že tlačítko "ochrany" je v poloze zapnuto. Poloha vypnuto se používá jen při opravě nebo nastavování zdroje. Uvedení zdroje do činnosti po poruše je možné vypnutím a opětovným zapnutím síťového spínače. Zastavení a spuštění měniče lze řídit z vnějšku zařízení pomocí dálkového ovládání.

Pro připojení seriového tiskacího mechanismu se používá síťová zásuvka, umístěná v zadní části modulu elektroniky a nulový síťový spínač, jehož sepnutí v nule síťového napětí zajišťuje vyhodnocovací obvod. Připojení tiskacího mechanismu se řídí programově (vygenerováním logického signálu SP).

3.10.1 Popis činnosti a rozložení jednotlivých bloků zdroje

Podle základního blokového schématu na obr. 3.16 a jeho popisu se nelze orientovat při opravě nebo oživování zdroje. Proto z hlediska servisu je nutné znát podrobnější činnost jednotlivých bloků zdroje, umístění hlavních prvků, diagnostických (měřicích) bodů a ragulačních prvků.

Následující popis činnosti bloků je rozdělen podle podrobného schématu na obr. 3.20 s tím, že z obr. 3.17 (umístění hlavních prvků) je zřejmé fyzické rozložení jednotlivých částí i některých prvků zdroje. Pro snažší orientaci je zvlášť uvedeno umístění regulačních prvků obr. 3.18 a umístění

diagnostických bodů obr. 3.19. V popisu jsou uvedeny odvolávky na schéma, ve kterém jsou zakresleny průběhy napětí a proudu včetně místa měření. Číslo odpovídajícího průběhu je napsáno v závorkách.

RFF 1 -radiofrekvenční filtr 1. Jednostupňový LC filtr, na jehož vstupní svorky je přivedena síťová stíněná šňůra. Jejich úkolem je potlačit rušivá napětí o kmitočtech 30-300 MHz pod povolenou mez odrušení.
Filtr je složen z feritové toroidní diferenciální tlumivky TL 401 a dvou odrušovacích keramických kondenzátorů C 401 a C 402. Je umístěn mimo zdroj na pravé bočnici rámu elektroniky v blízkosti vstupu síťové šňůry do zařízení.

SÍŤOVÝ SPÍNAČ -připojuje celé zařízení k síťovému napětí. Je upevněn na panelu zdroje, který zároveň tvoří subpanel čelního krytu modulu elektroniky.

SVORKOVNICE -je propojovacím místem síťového rozvodu zařízení. Připojen k ní je: VENTILÁTOR, ZÁSUVKA PRO C 211 nebo C 212 s nulovým síťovým spínačem a vlastní zdroj.
Svorkovnice je složena z devíti kusů řadových svornic, jejichž nosník spojuje obě desky zdroje. Při demontáži zdroje z rámu modulu elektroniky je třeba odpojit vodiče z pravé strany svorkovnice.

PO 301 -síťová tavná pojistka zdroje o hodnotě F 3,15 A / 1500 A.

PO 302 -síťová tavná pojistka nulového síťového spínače a síťového rozvodu pro připojení seriového tiskacího mechanismu C 211. Její hodnota F 4 A / 35 A.
Poznámka: obě pojistky jsou umístěny v RFF 2.

NULOVÝ SÍŤOVÝ SPÍNAČ -připojuje bezkontaktně napětí k zátěži jen v době průchodu síťového napětí nulou, je-li přiveden řídicí signál SP.
Výkonový spínací prvek -triak TK 101 je sepnut teprve tehdy, sepne-li T 101. Tranzistor je řízen jednak signálem SP vygenerovaným z příslušných obvodů logiky převedeným přes oddělovací optoelektronický vazební člen D 101 a jednak signálem odvozeným od průchodu síťového napětí nulou. Signál průchodu napětí nulou se získává pomocí diodového můstku D 105, D 106, D 107, D 108 napájeného přes omezovací odpor R 100. V diagonále můstku je tranzistor T 103, který se uzavírá jen je-li síťové napětí v blískosti průchodu nulou s tolerancí asi ± 3V. Uzavře-li se T 103, otevře se přitom tranzistor T 102 a tím se přes sepnutý D 101 sepne T 101. Stejnosměrné napájení tohoto řídicího obvodu je provedeno pomocí jednocestného usměrňovače D 113 a kondenzátoru C 114 z vinutí L2 transformátoru TR 201.
Triak TK 101 je upevněn na chladiči profilu U.

RFF 2 -radiofrekvenční filtr 2. Dvoustupňový LC filtr, který potlačuje rušivá napětí o kmitočtech 0,15-30 MHz. Filtr je složen ze dvou diferenciálních tlumivek TL 301, TL 302, navinutých na feritových E jádrech, ze sedmi odrušovacích keramických kondenzátorů C 301, C 302, C 303, C 304, C 305, C 306, C 307, C 308 a jednoho styroflexového kondenzátoru C 305. Filtr je umístěn na plošném spoji desky 300 i s pojistkami PO 301, PO 302 a uzavřen do stínicího krytu. Tento celek je upevněn na desku 100.

SÍŤOVÝ USMĚRŇOVAČ -zapojený do můstku s diodami D 101, D 102, D 103, D 104. Paralelně k diodám jsou připojeny kondenzátory C 101, C 102, C 103, C 104 pro zachycení rušivých napěťových špiček. Každá dioda je upevněna na chladiči profilu U.

OBVOD OMEZENÍ NABÍJECÍHO PROUDU -omezuje velikost proudu při zapnutí vloženým odporem R 102, čímž se zabraňuje proudovému nárazu při nabíjení síťového filtru. Paralelně k odporu je připojen tyristor TY 101, jehož sepnutí je provedeno až po rozběhu měniče pomocným vinutím L3, na němž se transformuje napětí, které po usměrnění diodou D 119 sepne tyristor.
Tyristor je také upevněn na chladiči profilu U.

SÍŤOVÝ FILTR -filtruje usměrněné síťové napětí, akumuluje energii potřebnou pro činnost měniče a dělí usměrněné napětí kondenzátorovým děličem na polovinu napětí v můstku měniče.
Kapacita filtru je vytvořena pěti elektrolytickými kondenzátory C 105, C 106, C 107, C 108, C 109. Dva elektrolytické kondenzátory C 111 a C 112 tvoří dělič napětí.
Paralelně ke kondenzátorům je připojen vybíjecí odpor R 103, který má po vypnutí zdroje vybít

náboj kondenzátorů. Pro potlačení vf rušení je k filtru paralelně připojen odrušovací keramický kondenzátor C 110.

SPÍNAČ 1, SPÍNAČ 2 -jsou výkonové spínací tranzistory T 108 a T 109, které střídavě přepínají stejnosměrné napětí síťového filtru k primárnímu vinutí L1 transformátoru TR 201. Tím se vytváří obdélníkové napětí, které se transformuje na sekundární napětí. Paralelně jsou připojeny ochranné diody D 117 a D 118.
Měřicí body MB 105 a MB 106 slouží pro osciloskopické měření napětí na měniči, viz průběh (7) ve schematu.
Tranzistory jsou izolovaně připevněny na plochém chladiči, který je na desce 100.

Poznámka: Při oživování nebo opravě je možné měřit osciloskopem průběh proudu báze tranzistorů, a to po odpojení přívodového kablíku báze a vložení snímacího odporu (0,1-1 Ohm), viz průběh (6) ve schematu.

BUDICÍ OBVOD 1, BUDICÍ OBVOD 2 -vytváří vhodný průběh budicího proudu spínačů 1, 2 tak, aby ztráty na tranzistorech T 103, T 109 byly vlivem přepínání i saturace co nejmenší.
Odpory R 121, R 122, R 123, R 124 a kondenzátory C 121 a C 122 tvoří budicí obvod 1.
Budicí obvod 2 je vytvořen z odporů R 129, R 130, R 131, R 132 a kondenzátorů C 124 a C 125.

TR 102, TR 103 -budicí tranzistory spínačů 1, 2 zajišťující bezpečné galvanické oddělení řídicích obvodů od síťové části zdroje.
Transformátor je navinut na hrníčkovém jádře ø 26 mm z hmoty H 22.

SPÍNAČ BUDIČE 1, SPÍNAČ BUDIČE 2 -převádí logickou úroveň řídicího signálu z přepínacích obvodů na výkonový impuls v primárním vinutí budicích transformátorů TR 102, TR 103. Spínání z pomocného napětí 20 V zajišťují výkonové tranzistory T 107, T 106, které jsou buzeny tranzistory T 104, T 105.
Překmity napětí na kolektorech T 107, T 106 vznikající při zavření tranzistorů jsou přivedeny přes RC obvod R 120, C 120, R 128, C 123 s diodou D 115, D 116 na napájecí napětí 20 V.

Poznámka: Při kontrole funkce spínačů je možné na kolektorech T 107, T 106 naměřit napětí o průběhu (5), viz schema.

PŘEPÍNACÍ OBVODY -zajišťují střídavé rozdělování signálu z řídicího obvodu zdroje na jednotlivé spínače budiče. Vstupní signál z řídicího obvodu ja převeden na klopný obvod JK IO 101 a zároveň na inventor, jehož výstupní signál je pomocí kondenzátoru C 119, připojeného na zpožďovací vstup a výstup inventoru, opožděn a přiveden na dva součinové obvody v IO 102. O tom, který ze součinových obvodů propustí signál na spínač budiče, rozhoduje klopný obvod.
Časové posunutí signálů vůči sobě a jejich průběhy (4), (3), viz schéma, lze změřit osciloskopem na měřicích bodech MB 104, MB 103.

TR 101 -rozběhový transformátorek 220/24 V, 2 VA v bezpečnostním provedení tvoří s následujícími bloky schematu startovací obvod zdroje.
První funkcí startovacího obvodu po zapnutí zdroje je vytvoření startovacího impulsu, který vznikne následovně. Střídavé napětí z TR 101 je přivedeno jednak na můstkový usměrňovač diodami D 109, D 110, D 111, D 112 a filtrační kondenzátor C 116 a dále na diody D 111, D 120 tvořících s kondenzátory C 126, C 127 a odporem R 133 zdvojovač napětí a zároveň časovací obvod vytvářející potřebné zpoždění pro nabití síťového filtru přes odpor R 102. Až napětí na zdvojovači napětí dosáhne průrazného napětí diaku Di 101 (26+4 V), který přitom sepne spínač tvořený tyristorem TY 102. Tím se nabité kondenzátory C 116, C 222 připojí k lineárnímu 12 V třísvorkovému stabilizátoru. Z těchto pomocných napětí se napájí v době rozběhu vyhodnocovací obvody, řídicí obvod, buzení měniče i blokovací oscilátor napětí -5 V. Po rozběhnutí měniče se hradí všechna potřebná energie z vinutí L7 transformátoru TR 201. Po splnění první funkce může obvod plnit i druhou funkci a tou je zajištění energie potřebné pro činnost vyhodnocovacích a řídicích obvodů při "sepnutém" (log. 0) dálkovém ovládání zdroje.

USMĚRŇOVAČ -Graetzův můstek usměrňující napětí z TR 101. Je zapojen z diod D 109, D 110, D 111, D 112.

FILTR -vyhlazuje usměrněné napětí z TR 101. Je vytvořen ze dvou kondenzátorů C 116, C 222 filtrujících pomocné napětí 20 V.

ČASOVAČ OBVOD -jeho funkce byla již popsána při popisu funkce startovacího obvodu u TR 101.

Tr 102 -funkce tyristoru byla již popsána při popisu funkce startovacího obvodu u TR 101.
Tyristor je upevněn na chladiči profilu L.

IO 103 -lineární 12 V třísvorkový stabilizátor dodávající pomocné napětí 12 V. Zařazení tohoto obvodu bylo také popsáno při popisu funkce startovacího obvodu u TR 101.
Stabilizátor je upevněn na chladiči profilu L.

Poznámka: Činnost startovacího obvodu můžeme změřit voltmetrem na měřicích bodech MB 101, MB 102, pokud do zdířek Z 101 a Z 102 na desce 100, připojíme vnější regulovatelný zdroj. Stabilizované napětí 12 V můžeme změřit u desky 200 na měřících bodech MB 201, MB 202.

TR 201 -síťový transformátor měniče transformujícího vytvořené obdélníkové napětí na jednotlivá sekundární napětí. Přitom je bezpečně galvanicky odděluje od síťové části zdroje.
Transformátor je navinut na feritovém EC jádře ze hmoty H21.
L1 -primární vinutí
L2, L3, L7 -vinutí pomocných napětí zdroje
L4, L5, L6, L8, L9 -vinutí pracovních napětí zdroje
Vinutí L1, L2, L3 jsou galvanicky spojena se sítí!
Na svorkách primárního vinutí je připojen tlumící RC člen složený z R 104 a C 113.
Vinutí L9 pro napětí +5 V je navinuto z měděného pásu.

D 218, D 219 -dvoucestný usměrňovač napětí +28 V a +24 V, jehož diody jsou překlenuty tlumícími RC členy R 256, C 245 a R 257, C 246.

PO 205 -tavná pojistka napětí +28 V a +24 V. Její hodnota je F 1,6A/35 A.

FILTR 1 -LC filtr zajišťující vyhlazení napětí +28 V. Je složen z tlumivky TL 204 navinuté na hrníčkovém jádře ø26 mm z hmoty H 22 a tří elektrolytických kondenzátorů C 234, C 235, C 236.

Poznámka: Výstupní svorky zdroje jsou označeny podle výstupního napětí, např. +24 V +, +24 V -, Napětí +28 V, +24 V, +22 V, +12 V, -12 V, -5 V a signál SP jsou va zdroji vyvedeny na ploché nožové kontakty. Napětí +5 V je vyvedeno pomocí kontaktních ploch na kabelová oka kablíků, která jsou k desce přitažena šrouby M6. Ke svorce +5 V se musí vždy připojit i krátký kablík, který je vyveden z desky 200, protože se používá pro snímání úbytku napětí na výstupním propojovacím kabelu.
V podrobném blokovém schématu obr. 3.20 jsou pro názornost čárkovaně nakresleny zátěže jednotlivých výstupních napětí.

IO 211 -lineární 24 V třísvorkový stabilizátor.
Stabilizátor je upevněn na plochém chladiči desky 200.

Poznámka: Všechny lineární stabilizátory použité ve zdroji mají na vstupu i výstupu blokovací keramické kondenzátory, které brání rozkmitání obvodu. Z výstupu obvodu je na vstup připojena ochranná dioda, která zajišťuje, aby na výstupu nebylo větší napětí než na vstupu stabilizátoru.

D 216, D 217 -dvoucestný usměrňovač napětí +22 V, k jehož diodám jsou paralelně připojeny tlumící RC členy R 258, C 243 a R 259, C 244.
Diody jsou upevněny na chladičích profilu U.

PO 201 -tavná pojistka napětí +22 V. Její hodnota F 2 A/35 V.

FILTR 2 -LC filtr zajišťující vyhlazení napětí +22 V. Je složen z tlumivky TL 201 navinuté na hrníčkovém jádře ø 26 mm z hmoty H 22 a tří elektrolytických kondenzátorů C 231, C 232, C 233.

D 214, D 215 -dvoucestný usměrňovač napětí +12 V.

PO 204 -tavná pojistka napětí +12 V. Její hodnota F 1 A/35 V.

FILTR 3 -LC filtr zajišťující vyhlazení napětí +12 V. Je složen z tlumivky TL 203 navinuté na hrníčkovém jádře ø 26 mm z hmoty H 22 a dvou elektrolytických kondenzátorů C 227 a C 228.

IO 210 -lineární 12 V třísvorkový stabilizátor.
Stabilizátor je upevněn na plochém chladiči desky 200.

PO 203 -tavná pojistka napětí -12 V. Její hodnota F 125 mA/35 A.

D 210, D 211, D 212, D 213 -můstkový usměrňovač napětí -12 V.

FILTR 4 -je tvořen elektrolytickým kondenzátorem C 224.

IO 209 -lineární 12 v třísvorkový stabilizátor.
Stabilozátor je upevněn na chladiči profilu L.

D 220, D 221 -dvoucestný usměrňovač napětí +5 V s paralelně připojenými tlumícími RC členy R 254, C 241 a R 255, C 242.
Diody jsou upevněny na plochém chladiči desky 200.

FILTR 5 -LC filtr zajišťující vyhlazení napětí +5 V. Je složen z tlumivky TL 205 navinuté na hrníčkovém jádře ø 43 mm z hmoty H 12 a filtračního elektrolytického kondenzátoru C 239 určeného pro spínací zdroje. U výstupních svorek je pro snížení hladiny vf rušení připojen elektrolytický kondenzátor C 240.

INDIKACE STAVU "ZAPNUTO" -slouží k optické kontrole stavu zdroje. Je tvořen diodou LED D 222 napájenou z +5 V přes odpor R 252.
Dioda je upevněna na panelu zdroje vedle síťového spínače.

D 206, D 207 -dvoucestný usměrňovač pomocného napětí 20 V.

PO 202 -tavná pojistka napětí 20 V. Její hodnota F 1,25 A/35 A.

FILTR -LC filtr zajišťující vyhlazení pomocného napětí 20 V. Je složen z tlumivky TL 202 navinuté na hrníčkovém jádře ø 26 mm z hmoty H 22 a dvou elektrolytických kondenzátorů C 222, C 116, rozložených na obou deskách.

ŘÍZENÍ A SPÍNAČ BLOKOVACÍHO OSCILÁTORU -tvoří nezávislý zdroj napětí -5 V. Pracovní frekvence oscilátoru se může pohybovat v rozmezí 22 až 30 kHz. Trimr P 206 slouží k optimálnímu nastavení průběhu spínaného napětí na kolektoru tranzistoru T 203, viz průběh (8) ve schematu, (přitom se ovlivňuje i frekvence oscilátoru).
Oscilátor je napájen z pomocného napětí 20 V, které je přivedeno přes propojku MB 213. Tuto propojku je vhodné rozpojit, zkoušíme-li činnost startovacího obvodu při napájení z vnějšího pomocného zdroje.

TR 202 -transformátor blokovacího oscilátoru, který má tři vinutí: primární L2, sekundární L1 a zpětnovazební L3, využité pro napájení báze spínacího transformátoru.
Transformátor je navinut na hrníčkovém jádře ø 18 mm z hmoty H 22.

USMĚRNOVAČ A FILTR -jednocestný usměrňovač s diodou D 208, přes kterou se nabíjí filtrační elektrolytický kondenzátor C 223.

STABILIZÁTOR -5 V -je tvořen Zenerovou diodou D 209, která je napájena přes odpor R 251.

KOMPARÁTOR NAPĚTÍ -5 V -tranzistory T 201, T 202 z výstupu je ovládán řídicí obvod zdroje. Napětí -5 V je přivedeno na odporový dělič napájený referenčním napětím 12 V. Z děliče je napětí přivedeno na bázi T 201, z jehož kolektoru je napájena báze T 202. Z kolektoru T 202 se odebírá signál pro řídicí obvod. Je-li na vstup přivedeno napětí -5 V, je na výstupu komparátoru napětí menší než 0,35 V a řídicí obvod je odblokován. Měřicí hod MB 211 je možné použít pro měření velikosti napětí -5 V nebo jej lze využít při opravě či oživování tak, že ho zkratovacím kablíkem propojíme s MB 201 nebo MB 209. Tím vyřadíme závislost řídicího obvodu zdroje na výstup-

ním napětí -5 V.

Poznamka: Napětí -5 V se používá pro napájení dynamických pamětí RAM. Podle doporučení výrobce má být toto napětí připojeno dříve než ostatní napájecí napětí (+5 V, +12 V). A opačně, při vypínání má být napětí -5 V odpojeno jako poslední. Z tohoto důvodu je třeba zajistit okamžité zastavení měniče při výpadku napětí -5 V, což se zajišťuje přímým řízením řídicího obvodu komparátorem napětí -5 V.

DĚLIČE, KOMPARÁTORY, TEPELNÁ OCHRANA -výstupní napětí +24 V, +22 V, +12 V, +5 V, -5 V, pomocné napětí 20 V, velikost proudu napětí +5 V a teplota chladiče desky 200 jsou vstupní veličiny vyhodnocovacích obvodů. Abychom tyto veličiny mohli zpracovávat, musíme je přivést od zátěží do zdroje. Na desku 200 jsou přivedeny devítikolíkovým konektorem signály z roštu elektroniky označené P 24 (+24 V), P 22 (+22 V), P 12 (+12 V), M 12 (-12 V), ZV (+5 V), M 5 (-5 V). Z konektoru přenosu dat je přiveden signál DO. Pro servisní účely je možné využít signál HT připojením dalšího snímače teploty, např. pro umělou zátěž zdroje. Signál P 28 (+28 V) je ze zdroje vyveden na konektor sériového tiskacího mechanismu a využívá se pro servisní účely (programování pamětí EPROM).
Pro logické vyhodnocování jsou ve zdroji použity vysokoúrovňové integrované obvody řady MHZ 100. Proto se k jejich napěťové logické úrovni log "0" =<4,5 V, log "1" =>7,5 V musí přizpůsobit všechny vstupní veličiny.
V případě napětí +24 V, +22 V, 20 V se kontroluje jen přítomnost a převod na logickou úroveň logických obvodů 1 je proveden odporovými DĚLIČI napětí.
U napětí -5 V se pomocí referenčního napětí 12 V přivedeného na DĚLIČ a odporovým trimrem P 204 nastavuje požadovaná logická úroveň přepínání pro kladnou toleranci napětí -5 V. Měřit ji můžeme při nastavování v měřicím boče MB 208.
Napětí +12 V je odporovými DĚLIČI upraveno a přivedeno na KOMPARÁTOR IO 206, který vyhodnocuje toleranční rozsah napětí v rozmezí ±5 % od jmenovité hodnoty. Výstupní napětí komparátoru pracuje již s logickými úrovněmi vyhodnocovacích obvodů.
Napětí +5 V je pomocí odporových DĚLIČŮ upraveno a přivedeno na komparátor IO 207, který vyhodnocuje toleranční rozsah napětí v rozmezí ±10 % od jmenovité hodnoty. Výstupní napětí komparátoru pracuje již s logickou úrovní logických obvodů 1.
Napětí -12 V je odporovým DĚLIČEM za pomoci referenčního napětí 12 V převedeno na kladnou úroveň napětí a přivedeno na vstup KOMPARÁTORU IO 205. Ten vyhodnocuje přítomnost napětí -12 V a převádí jej na logickou úroveň pro logické obvody 1.
NADPROUDOVÁ OCHRANA napětí +5 V je provedena pomocí odporových DĚLIČŮ napájených z referenčního napětí 12 V a KOMPARÁTORU IO 205, který porovnává úbytek napětí (cca 100-200 mV) na vodiči propojujícím svorku +5 V- u zdroje s plošným spojem na roštu elektroniky. Velikost vypínacího proudu je možné nastavit trimrem P 205 (nastavuje se na cca 22-26 A pomocí umělé zátěže zdroje).

Poznámka: POZOR! K tomu, aby nadproudová ochrana mohla plnit svou funkci je nutné připojit při zapojování zdroje ke svorce +5 V- i krátký kablík s kabelovým okem, který je připojen do desky 200.
Vstupy všech komparátorů jsou blokovány keramickými kondenzátory proti rušivým napěťovým špičkám. Jako komparátory IO 205, IO 206, IO 207 jsou použity dvojité operační zesilovače v jednom pouzdru.
TEPELNOU OCHRANU zdroje představuje bimetalový snímač teploty, který sepne a tím připojí logickou "0" při dosažení teploty 60 ± 5 °C.
Snímač je izolovaně připevněn na plochém chladiči desky 200 v blízkosti diod D 220, D 221.

LOGICKÉ OBVODY 1 -jsou vytvořeny ze dvou pětivstupých součinových hradel v IO 204, jejichž výstupy jsou přivedeny na inventory v IO 203 a ty na dvouvstupé součinové hradlo v IO 203 a výstup tohoto hradla na další inventor.

OCHRANY -tlačítko, které propojuje v poloze zapnuto výstup z logických obvodů 1 na vstup logických obvodů 2. V této poloze, označené na desce 200 "Ochrany - zap.", jsou napětí +24 V, +22 V, 20 V, +12 V, -12 V, +5 V, -5 V i snímač teploty dále vyhodnocovány. V poloze tlačítka "Ochrany - vyp." se uvedené vstupní veličiny dále nevyhodnocují. Vstup logických obvodů 2 je připojen na logickou "1".

DÁLKOVÉ OVLÁDÁNÍ -umožňuje řízení činnosti měniče z vnějšku zařízení pomocí signálu DO vyvedeného na

konektor přenosu dat. Obvod dálkového ovládání je spojen s obvodem pro vytvoření zpoždění po zapnutí zdroje, které je potřebné pro odeznění přechodových dějů při nabíhání výstupních napětí. Zpoždění je vytvořeno RC obvodem R 237, R 238, C 219 s ochrannou Zenerovou diodou D 230 napájeného z napětí 20 V. Narůstání tohoto napětí na kondenzátoru C 219 do logické "1" po zapnutí zdroje můžeme měřit osciloskopem v měřicím bodě MB 207. Tento zpožděný signál je přiveden na vstup logických obvodů 2.
Další řídicí signál dálkového ovládání, který je přiveden na vstup řídicího obvodu zdroje se generuje pomocí napětí 12 V, děliče napětí a spínače dálkového ovládání. Aktivním signálem po sepnutí spínače dálkového ovládání je logická "0", čímž se zablokuje řídicí obvod zdroje i logické obvody 2. Po rozepnutí spínače (logická "1") se zdroj opět uvede do činnosti.

LOGICKÉ OBVODY 2 -tvoří kombinační obvod, který přímo spolupracuje s následujícím klopným obvodem zavedené zpětné vazby.
Na první dvouvstupé součinové hradlo logických obvodů 2 je připojen výstup z tlačítka ochran a výstup komparátoru IO 205 (nadproudová ochrana). Výstup prvního součinového hradla vstupuje do druhého součinového hradla, na jehož druhý vstup je přiveden zpožděný signál z dálkového ovládání. Výstup druhého hradla je připojen na první vstup třetího součinového hradla, na druhý vstup je přiveden zpětnovazební signál z klopného obvodu. Výstup třetího součinového obvodu je přes inventor přiveden na klopný obvod.
Logické obvody 2 jsou vytvořeny z IO 202.

OCHRANA NAPĚTÍ +28 V, +22 V -pracuje jen při odpojení zátěží těchto hladin (v případě odpojení modulu obrazovky za provozu zdroje), aby napětí, které se při tom zvýší, nepřesáhlo úroveň 33-39 V. Napětí jsou přes oddělovací diody D 226, D 227 připojena na dvě v sérii zapojené zenerovy diody D 228, D 229 a snímací odpor R 253 na 0V. Napětí ze snímacího odporu je přivedeno na řídicí elektrodu tyristoru TY 201, který sepne za předpokladu, že některé z napětí se zvýší až na hodnotu 33-39 V (dáno Zenerovým napětím diod). Výstupní logický signál, připojený na nulovací vstup klopného obvodu, získáme z anody tyristoru, která je přes odpor R 247 připojena na 12 V. Změřit tento signál můžeme na měřicím bodě MB 210, což je vhodné při zjišťování, která z ochran byla v činnosti.

Poznámka: Pokud dojde k sepnutí tyristoru při uvedeném přepětí, může se snížit napájecí napětí 12 V vlivem zvětšeného zatížení transformátoru TR 101, což vzhledem k signalizované poruše měniče není na závadu.

KLOPNÝ OBVOD -vytváří další ovládací signál pro řídicí obvod zdroje. Jeho úkolem při poruše některé uvedené vstupní veličiny je zablokovat řídicí obvod a vytvořit signál pro optickou indikaci poruchy. Překlopení obvodu je zajištěno buď sestupnou hranou signálu na hodinovém vstupu, který je přiveden z logických obvodů 2, nebo logickou "0" na nulovacím obvodu, přivedenou z obvodu ochran hladin +28 V a +22 V. Zavedená zpětná vazba z výstupu klopného obvodu na vstup logických obvodů 2 zabraňuje opakování příchodu poruchového signálu. Negovaný výstup klopného obvodu je přiveden přes dělič napětí na řídicí obvod zdroje. Nastavení počátečního stavu klopného obvodu po zapnutí zajišťuje RC člen R 246 a C 221, který "podrží" nastavovací vstup na logické "0".

OPTICKÁ INDIKACE PORUCHY -využívá signál klopného obvodu, který se nastaví do logické "0", je-li vyhodnocena porucha, a tím se rozsvítí dioda LED D 205 napájená z napětí 12 V přes odpor R 248. Dioda je umístěna na desce 200 vpravo od tlačítka blokování ochran.

ŘÍDICÍ OBVOD ZDROJE -generuje řídicí, šířkově modulovaný logický signál o základní frekvenci 40 kHz. Řízení šířky impulsu je odvozeno z výstupního napětí +5 V. Obvod při zapnutí zdroje zajišťuje tzv. "měkký start". Výstup řídicího obvodu je možné zablokovat některým z ostatních vstupních signálů, jsou-li aktivovány. Základní kmitočet obvodu je zajištěn vnějšími pasivními prvky. Kondenzátorem C 205 a odporem R 202 zapojeným do série s trimrem P 202. Trimrem se nastavuje frekvence na požadovaných 40 kHz. Průběh napětí (1) - viz schema o této frekvenci je možné změřit osciloskopem na měřicím bodě MB 204.
"Měkký rozběh" zdroje je nastaven RC obvodem R 201, P 201, C 204 napájený z vnitřního zdroje referenčního napětí řídicího obvodu. Trimrem P 201 se reguluje maximální šířka výstupního logického impulsu.
Zpětnovazební řídicí napětí je přivedeno na odporový dělič R 208, R 209 s trimrem P 203, kte-

rým se nastavuje velikost výstupního napětí +5 V měřeného na měřicím bodě MB 203.
Má-li být řídicí obvod zdroje v činnosti, musí mít signály z klopného obvodu a komparátoru -5 V napěťovou úroveň na vstupech do obvodu menší než 0,35 V (z povolených 0,5 V). Vstup, na který je přivedeno dálkové ovládání (pracuje s logickou úrovní TTL), musí být v logické "1".
Velikost vstupního signálu z klopného obvodu se měří na měřicím bodě MB 212.
Výstupní napětí řídicího obvodu o průběhu (2) (viz schema), lze měřit osciloskopem na měřicím bodě MB 205.
Řízení šířky výstupního impulsu obvodem je závislé na velikosti řídicího napětí:

Vstupní napětí	Výstupní napětí
U vst. < 0,5 V	U výst. = jehlové impulsy (měkký rozběh)
0,5 V ≤ U vst. < 3,6 V	U výst. = max. šířka impulsu
U vst. = 3,6 V	U výst. = regulace šířky impulsu dle nastavené zpětné vazby vnitřního OZ

3.11 Zobrazovací jednotka (obr. 3.21) (601.226; 601.151)

Zobrazovací jednotka (obvodové schéma 271.5-601.226 list 2) tvoří samostatný funkční celek bez vlastního zdroje napájecího napětí. K propojení zobrazovací jednotky s řídicí jednotkou je určen konektor K1 společný pro signály interface i napájecí napětí.

KONEKTOR	SIGNÁL
K1/1	zem
K1/2	+28V
K1/3	+5V
K1/4	snímková synchronizace - STVS
K1/5	řádková synchronizace - STVR
K1/6	obrazový signál - OS
K1/7	signál vyššího jasu - JAS

Odpory R1-R8 tvoří impedanční přizpůsobení propojovacího kabelu pro vstupní signály, které jsou dále tvarovány v hradlech integrovaného obvodu Q1.
Napájecí napětí pro celou zobrazovací jednotku je stabilizováno regulovatelným stabilizátorem napětí s monolytickým stabilizátorem Q5 a tranzistorem T3. Změnou výstupního napětí trimrem P9 se nastavuje vodorovný rozměr zobrazení.
Vertikální rozkladové obvody využívají základní zapojení integrovaného obvodu typu MDA 1044. na jeho vývod č.8 se přivádí synchronizační signál z výstupu hradla Q1/3. Na vývod č.10 je připojen nabíjecí kondenzátor C7 generátoru pilového napětí. Velikost nabíjecího proudu je nastavena odporem R17 a trimrem P2 připojeným k vývodu č.11. Změnou odporu trimru P2 se řídí kmitočet pilového napětí.
Napětím na vývodu č.1 lze nastavit nesouměrné rozložení "S" korekce, to znamená linearitu v horní a dolní části obrazu. Souměrná velikost této korekce je závislá na vnitřním odporu děliče R14, P1, R15.
Spolu s budicím pilovým napětím se do koncového dvojčinného zesilovače přivádí z generátoru i úzký obdélníkový impulz pro zdvojovač napětí s diodou D1 a kondenzátorem C5. Napětí na kondenzátoru C5 se během zpětného běhu přičítá k napájecímu napětí na vývodu č.6.
Dělič z odporů R18 a R19 tvoří zápornou napěťovou zpětnou vazbu. Přez kondenzátor C8 se uzavírá střídavá proudová zpětná vazba. Zpětná vazba se zavádí přez vývod č.2 na vstup koncového zesilovače. Podle nastavení velikosti střídavé proudové vazby trimrem P3 se mění svislý rozměr obrazu.
Řádkové rozkladové obvody jsou tvořeny budicím stupněm a koncovým stupněm s impulzním transformátorem TR2.

Budicí tranzistor je řízen z výstupu hradla Q1/6 řádkovým synchronizačním impulzem a přez budicí transformátor budí tranzistor T2 koncového stupně. Budicí transformátor je navržen tak, aby během zpětného běhu byl schopen akumulovat dostatečné množství energie k udržení tranzistoru T2 ve vodivém stavu po celou dobu činného běhu. Tepelná pojistka odporu R27 chrání budicí obvody před poškozením v případě poruchy budicího signálu (trvalá "0" na konektoru K1/5).

Sériové diody D3, D3 zajistí během druhé poloviny činného běhu (T2 je otevřen kladným napětím na bázi) nabití kondenzátoru C13 na napětí, které se v této době vyskytuje na vinutí L1 transformátoru TR2. Napětí získané sečtením stabilizovaného napájecího napětí na kondenzátoru C14 s napětím na kondenzátoru C13 se používá k napájení koncového stupně řádkového rozkladu. Během zpětného běhu tyto diody oddělují obvody zobrazovací jednotky od velkého kladného impulzu na odbočce 2, 3 transformátoru TR2.

U koncového tranzistoru není použita antiparalelní dioda, protože tento tranzistor pracuje v první polovině činného běhu v inverzním režimu. Řádkové vychylovací cívky jsou připojeny na odbočku č.6 transformátoru TR2 z důvodu snížení napěťového namáhání tranzistoru T2. Délka zpětného běhu je určena především indukčností řádkových vychylovacích cívek a kapacitou kondenzátoru C15.

Parabolické napětí, které vzniká na tangenciálním kondenzátoru C17 průchodem pilového proudu, se po oddělení stejnosměrné složky kondenzátorem C16 transformuje transformátorem TR3 na vyšší hodnotu. Po superpozici na stejnosměrné ostřicí napětí slouží k dynamickému doostření obrazu. Velikost parabolické složky ostřicího napětí se řídí trimrem P8.

Velikost "S" korekce ve vodorovném směru je nepřímo úměrná velikosti kapacity kondenzátoru C17.

Velký napěťový impulz, který se během zpětného běhu objeví na vinutí L6 transformátoru TR2 se přičte k napěťovému impulzu na kolektoru tranzistoru T2. Po usměrnění a vynásobení v diodovém násobiči D10 slouží toto napětí k napájení anody obrazovky. Diody D4 a D5 usměrňují napěťový impulz z kolektoru tranzistoru T2. Toto kladné napětí napájí druhou mřížku obrazovky a tvoří stejnosměrnou složku ostřicího napětí. Velikost ostřicího napětí se nastavuje trimrem P7. Záporné napětí pro první mřížku se získává usměrněním záporného impulzu z vinutí L4 transformátoru TR2. Změnou velikosti tohoto napětí potenciometrem P5 se řídí jas zobrazení. Kladný impulz z tohoto vinutí napájí po usměrnění diodou D7 obrazový zesilovač. Vinutí L5 transformátoru TR2 dodává žhavicí napětí pro obrazovku. Dioda D8 odřezává záporné impulzy a kladné se využívají k odblokovávání obrazového zesilovače během činného běhu. Tento obvod po vypnutí zajistí zatemnění stínítka obrazovky bez doprovodných světelných efektů.

Obrazový signál a signál vyššího jasu se do obrazového zesilovače přivádějí odděleně. V hradlech Q3 se sčítají se signálem z diody D8. Obrazový signál normálního jasu se zpracovává 1. tranzistorem z integrovaného obvodu Q4. Signál vyššího jasu je zpracován i 2. tranzistorem z integrovaného z obvodu Q4. Potenciometrem P4 se řídí rozdíl mezi normálním a zvýšeným jasem - kontrast. Koncový stupeň obrazového zesilovače využívá tranzistor T4 a dva tranzistory z integrovaného obvodu Q4. Je zapojen tak, aby vybíjení kapacity katody obrazovky přez diodu D9 a tranzistory z integrovaného obvodu Q4 i její nabíjení přez tranzistor T4 probíhalo co nejrychleji.

Obvody zobrazovací jednotky jsou chráněny při přeskocích vysokého napětí jiskřišti, která jsou vytvořena přímo v motivu plošného spoje.

3.12 Záznamník na flexibilní disk

Technický popis a předpis pro údržbu jsou samostatné publikace.

3.13 Sériový tiskací mechanismus

Technický popis a předpis pro údržbu jsou samostatné publikace.

Tato stránka je prázdná úmyslně

4.1 Úvod

Pro servisní opravy je dodávána skupina přípravků, které ve spolupráci s příslušnými metodickými pokyny umožňují lokalizaci a případnou opravu vadné skupiny zařízení. Všechny přípravky jsou uloženy ve speciálním zavazadle s pomocným rámem (obr. 4.1; 4.2). Servisní zavazadlo obsahuje:

-deska štafle, umožňuje činnost libovolné desky elektroniky mimo rošt.

-deska parity, slouží ke kontrole řídicí matice a dekodéru mikroprogramu procesoru při provozu procesoru. Zasouvá se do pomocného konektoru procesoru.

-programovací přípravek paměti PROM - MH 745287, MH 745571 a EPROM - K573P05. Součástí tohoto bloku je tester klávesnice a tester analogové zobrazovací jednotky. Celý blok je napájen a řízen prostřednictvím konektoru otisku.

-testovací konektor přenosu dat. Zasouvá se do interfejsového konektoru pro modem a slouží pro kontrolu tohoto interfrejsu.

-deska SP s panelem, slouží ke sledování a řízení činnosti procesoru a celého zařízení při lokalizaci a opravách závad.

4.2 Deska štafle (obr. 4.3) (601.178)

Umožňuje činnost libovolné desky elektroniky mimo rošt a tím měření libovolných signálů desky při provozu. Používá se při lokalizaci vadného prvku na desce elektroniky.

4.3 Deska parity (obr. 4.4) (601.179)

Umožňuje průběžnou kontrolu řídicí matice a dekodéru mikroprogramu procesoru při provozu. Zasouvá se do přímého konektoru procesoru. Kontrola se zapíná spínačem na této desce. Při zjištění neshody dojde k zablokování základních hodin procesoru pomocí signálu BH. Signály řídicí matice mikrotaktu V0-V19 a signály programovaného dekodéru Z13-Z18, IHL, ZSO, ZPN, IOA, HDH, JF, STRN, M4A, M4B, M4C, M6A, M6B, M6C, FA0, FA1, FA2, FA3, FB0, FB1, FB2, FB3, F4, F5, F6, K, M1A, M1B, M1C, M2A, M2B, M3A, M3B, M5A, M5B jsou jednak přímo, jednak přes kombinační síť, tvořenou obvodem M2, přivedeny společně se signály z pomocných referenčních pamětí PROM na obvody vyhodnocení parity. Vyhodnocení parity pro signály řídicí matice se provádí v okamžiku náběžné hrany signálu H1. Vyhodnocení parity pro signály programovaného dekodéru se provádí v okamžiku náběžné hrany signálu H2. Vadná paměť PROM se určí podle tabulky:

10	9	8	7	6	5	4	3	2	1	0	M1	M2	M3	PROM
-	-	-	-	-	-	-	-	-	-	X	X	-	-	A4
-	-	-	-	-	-	-	-	-	-	X	-	X	-	A5
-	-	-	-	-	-	-	-	-	-	X	-	-	X	A6
-	-	-	-	-	-	-	-	-	X	X	X	-	-	A7
-	-	-	-	-	-	-	-	-	X	X	-	X	-	A8
-	-	-	-	-	-	-	-	-	X	X	-	-	X	A9
-	-	-	-	-	-	-	-	X	X	X	X	-	-	A10
-	-	-	-	-	-	-	-	X	X	X	-	X	-	A11
-	-	-	-	-	-	-	-	X	X	X	-	-	X	A12
-	-	-	-	-	-	-	-	X	X	-	X	-	-	A16
-	-	-	-	-	-	-	-	X	X	-	-	X	-	A17
-	-	-	-	-	-	-	-	X	X	-	-	-	X	A18
-	-	-	-	-	-	-	-	X	-	-	X	-	-	A13
-	-	-	-	-	-	-	-	X	-	-	-	X	-	A14
-	-	-	-	-	-	-	-	X	-	-	-	-	X	A15
-	-	-	-	-	-	X	-	-	-	-	-	-	-	B12
-	-	-	-	-	-	X	X	-	-	-	-	-	-	B11
X	-	-	-	-	-	X	X	-	-	-	-	-	-	B14
X	-	-	-	X	-	-	X	-	-	-	-	-	-	B17
X	-	-	-	X	X	-	-	-	-	-	-	-	-	B13
-	-	-	X	X	X	-	-	-	-	-	-	-	-	B10
-	X	-	X	-	X	-	-	-	-	-	-	-	-	B8
-	X	X	X	-	-	-	-	-	-	-	-	-	-	B9
-	X	X	-	-	-	-	-	-	-	-	-	-	-	B15
-	-	X	-	-	-	-	-	-	-	-	-	-	-	B16

4.4 Tester klávesnice, analogové zobrazovací jednotky,

programovací přípravek pamětí MH 74S287, MH 74S571, K573RF5 (obr. 4.5) (601.671)

Tester je víceżilovým kabelem připojen přes tiskový konektor k zařízení C 2715, odkud jsou odebírána potřebná napájecí napětí +5 V, +28 V a řídicí signály pro programátor pamětí PROM.

Tester klávesnice: Kontrolovaná klávesnice se zasune do nezáměnné zásuvky na testeru. Schéma testeru klávesnice je na výkresu číslo 601.171. Stav výstupních signálů klávesnice je indikován pomocí svítivých doid. ŽK -žádost klávesnice, DK1-DK7 -kódová kombinace stisknutého tlačítka, OPK -tlačítko opakování, PK1-PK4 -přemyky klávesnice. Vstupní signály klávesnice určené pro akustickou indikaci se generují monostabilním klopným obvodem pomocí tlačítek "KLIK" a "PISK".

Tester zobrazovací jednotky: Kontrolovaná zobrazovací jednotka se připojuje pomocí kavelu s nezáměnným konektorem. Schéma testeru klávesnice je na výkrese číslo 601.171. Základní hodiny 18 MHz jsou generovány krystalem řízeným oscilátorem na pozici Q101. Řetěz bodů celého snímku je generován pomocí čítačů Q102, Q103, Q111, Q107, Q108, Q109, jejichž cyklus je zkracován pomocí zpětné vazby logické sítě z obvodů Q112, Q105, Q101. Řídicí signály analogové jednotky OS -obrazový signál, JAS -jasová úroveň zobrazovaného bodu, STVR -řádková synchronizace, STVS -snímková synchronizace jsou generovány pomocí paměti PROM Q104, kombinační logiky z obvodů Q110, Q101 a tvarovány registrem Q105, Q109.

Prgramátor paměti PROM: Programované paměti PROM MH 74S287 nebo MH 74S571 se zasouvají do 16-ti vývodové objímky s nulovou silou na pozici B3. Paměti EPROM K573RF5 se zasouvají do 24-vývodové objímky s nulovou silou na pozici C3. Schéma programátoru je na výkrese číslo 601.171. Programátor můžeme rozdělit na dva funkční bloky:

-logiku generace adresy, vstupních dat a kontroly naprogramovaných dat. Tato část je tvořena registrem adresy B2, C2, D2; registrem zapisovaných dat E4, E5; závorou čtení dat paměti EPROM D2, C5; závorou čtení dat paměti PROM B6; dekodérem řízení těchto skupin E1. Časové a datové řízení těchto skupin je prováděno pomocí signálů tiskového interfejsu.

-řízené napěťové zdroje pro generaci programovacího napětí. Programovací napětí pro paměti MH 74S287 a MH 74S571 je tvořeno zdrojem z prvků T1, T2, T3, T4, T5, T6, T7, T8. Programovací napětí pro paměti K573RF5 je tvořeno zdrojem z prvků T9 a MA 7805.

4.5 Testovací konektor přenosu dat

Připojuje se místo kabelu modemu a slouží za pomoci testovacího programu ke kontrole interfejsu přenosu dat. Konektor slouží k propojení špiček: 2-3, 4-5, 6-20, 8-15-17-23, 1-14-21, 9-16,-18-22.

4.6 Deska SP s panelem (obr. 4.6) (601.169; 301.663)

Deska SP se zasouvá do roštu elektroniky jako prodlužovací deska desky DK. Víceżilovým kabelem je připojena k panelu SP. Tato sestava umožňuje sledování a řízení činnosti procesoru a celého zařízení. Schéma panelu SP je na výkrese číslo 601.163. Panel SP se skládá ze dvou funkčních skupin. První skupina obsahuje tlačítka s pomocnými multiplexery E1, E2, E3, E4, F1, C5, D2, C4. Tlačítka +1H a +1I mohou být opakovaně klíčována pomocí tlačítka +1 RYCHLE, doplňková logiky C4 a děliče kmitočtu A6, A7. Signálové výstupy této skupiny jsou označeny T1, T2, T3, T4, T5, T6. Druhá skupina obsahuje indikační prvky buzené dynamicky pomocí dekodérů A1, A2, A5, B1, C1, C2, C3. Signálové vstupy této skupiny jsou označeny L1, L2, L3, L4, L5, L6, L7, L8. Časování obou skupin je prováděno přes zesilovače A4 signály AN, BN, CN. Schéma desky SP je na výkrese číslo 601.169. Deska se skládá z šesti funkčních bloků:

-blok generace časových signálů. Pomocí prvků E14 je sestaven astabilní klopný obvod, který generuje základní hodiny -signál H. Z tohoto signálu je pomocí čítače E16 a zesilovačů B11, B15 tvořena skupina signálů A, B, C, D, AN, BN, CN, DN, které slouží pro časové řízení celé desky.

-blok multiplexerů a paměť adresy IO. Paměť adresy IO je tvořena obvody F13, F14. Multiplexer

je tvořen obvody F11, F12, F1, F5, F6, F7, C5, C4. Pomocí těchto multiplexerů se dostávají základní výstupní signály zařízení na panel SP, kde jsou zobrazovány.

-blok paměti řídicích signálů panelu SP. Je tvořen obvody E2, E3, E4, E5, E6, E7, E8, E9. Obsah těchto pamětí odpovádá stavu tlačítek na panelu SP.

-blok výběru "stop adresy". Je tvořen komporátory složenými z prvků F2, F3, F4, F8, F9, F10, C2 a doplňkové logiky C1, C12, C10, E13, D12 umožňující zablokování procesoru při operaci s pamětí v požadovaném režimu.

-blok pamětí obsahu registrů procesoru. Je tvořen paměťovým blokem 8 x 8 bitů z prvků D13, D14, D15, D16 s doplňkovou a adresovací logikou, tvořenou obvody B12, C8, C9, C11, C12. Výstupy tohoto paměťového bloku jsou pomocí multiplexerů C14, C15 a budičů B14 přivedeny na panel SP, kde je zobrazován obsah celého paměťového bloku a tím i vyhrané skupiny regostrů. Zápis do paměťového bloku je řízen procesorem pomocí signálů HPO, LD a skupinou tlačítek ABC na panelu SP

-blok vstupů. Je realizován pomocí multiplexerů D3, D4, D8, D9, závory D5, D7 a slouží pro čtení stavu skupiny tlačítek desky SP do střadače procesoru.

Poznámka: Součástí servisního vybavení je vytahovák desek SP a štafle.

ZDROJOVKA BRNO
STÁTNÍ PODNIK
656 17 BRNO · LAZARETNÍ 7 · ČSSR

I - 1988 - 2000 - Č

ZBROJOVKA BRNO

státní podnik

