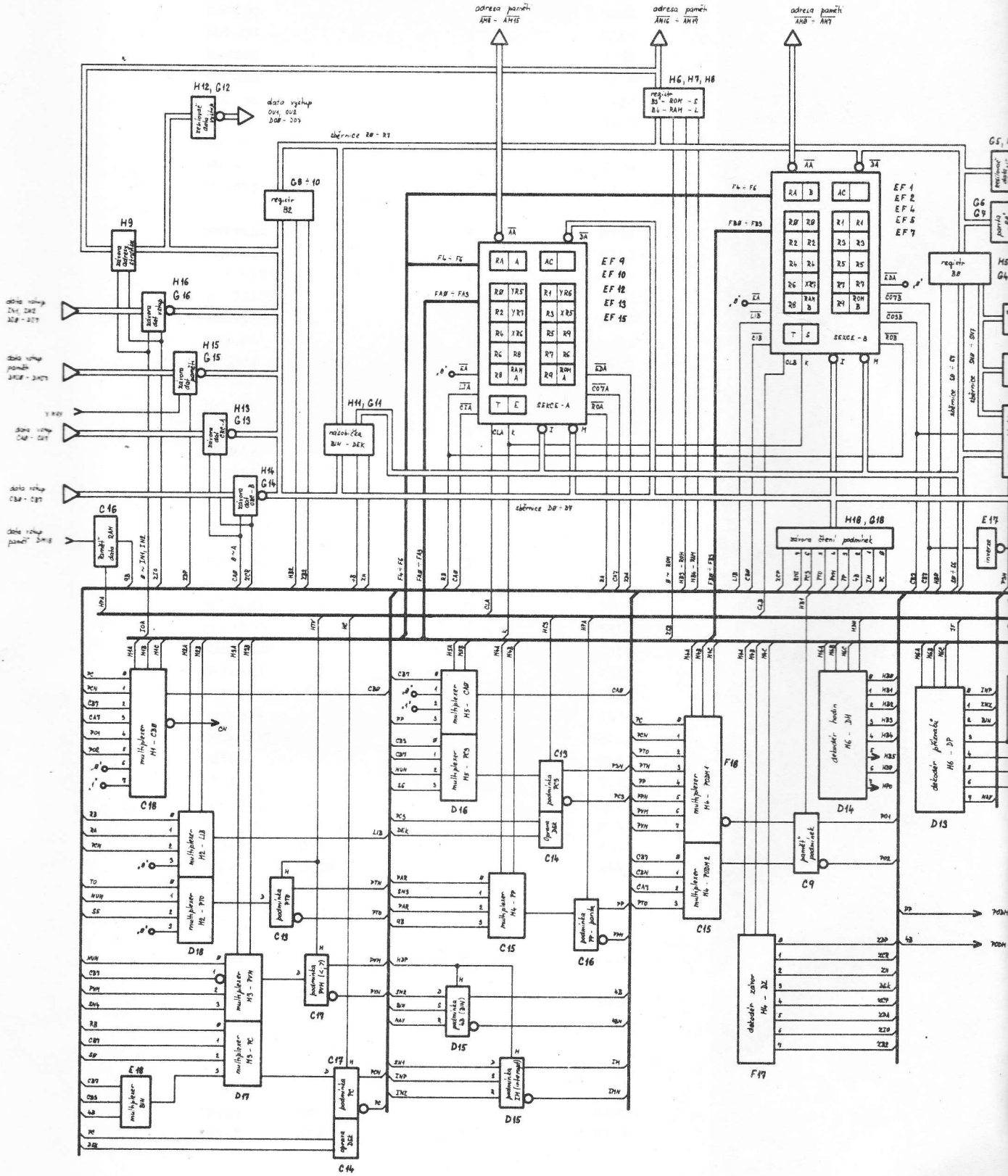
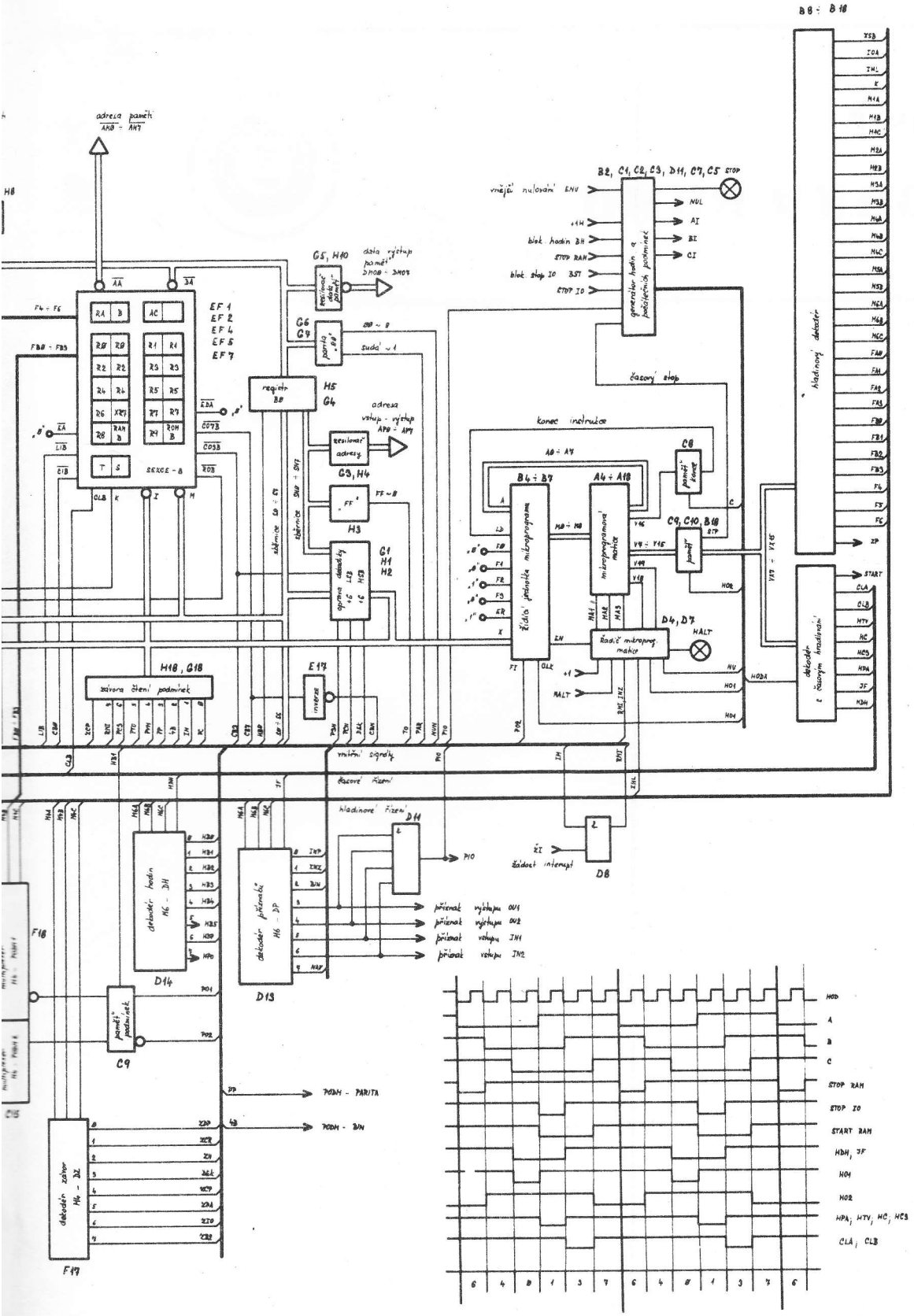

adresa pamětí AH8 - AH15
adresa pamětí AH16 - AH19
adresa pamětí AH0 - AH7
H12, G12
H6, H7, H8
H9
H16 G16
H15 G15
H13 G13
H14 G14
H11, G11
C16
H10, G10
E17
EF 1
EF 2
EF 4
EF 6
EF 7
EF 9
EF 10
EF 12
EF 13
EF 15
C18
D18
D16
C13
C14
C15
C16
C9
F18
D14
D13
C19
D17
C17
D15
E18
F17


adresa pamětí
AH0 ÷ AH7
EF 1
EF 2
EF 4
EF 5
EF 7
SEXCE - 8
registr B8
H5
G4
adresa vstup - výstup
AP0 ÷ AP7
G3, H4
FF
H3
G1
H1
H2
G5, H10
data výstup paměti
DH0 ÷ DH07
G6
G7
parita „0"
sudá ~ 1
B2, C1, C2, C3, D11, C7, C5
STOP
vnější nulování ENU
NUL
AI
BI
CI
blok. hodin BH
STOP RAM
blok. stop IO BST
STOP IO
generátor hodin a podmíněných podmínek
časový stop
konec instrukce
A0 ÷ A7
B4 ÷ B7
A4 ÷ A18
C8
paměť konst.
C9, C10, B18
paměť
řídící jednotka mikroprogramu
mikroprogramová matice
řad. č. mikroprog. matice
D4, D7
HALT
B8 ÷ B18
hladinový dekodér
dekodér z časových hladin
H18, G18
závora čtení podmínek
E17
inverze
vnitřní signály
časové řízení
hladinové řízení
D11
D8
žádost interrupt
přiznat výstupu OU1
přiznat výstupu OU2
přiznat vstupu IN1
přiznat vstupu IN2
dekodér hodin H6 - DH
D14
dekodér přístroje H6 - DP
D13
paměť podmínek
C9
PODM - PARITA
PODM - DIN
dekodér závor H6 - DZ
F17
START
CLA
CLB
HTV
HC
HCS
HPA
JF
HDH
HOD
A
B
C
STOP RAM
STOP IO
START RAM
HDH, JF
HO1
HO2
HPA, HTV, HC, HCS
CLA, CLB

Obr. 3.4